Ein Verfahren zur Verbesserung der Energieeffizienz durch Ladungsrückgewinnung in Digitalschaltungen

Vom Fachbereich 18
Elektrotechnik und Informationstechnik
der Technischen Universität Darmstadt
zur Erlangung der Würde eines
Doktor–Ingenieurs (Dr.-Ing.)
genehmigte Dissertation

von

Dipl.-Ing.
Clemens Schlachta
geboren in Wiesbaden

Referent:	Prof. Dr. Dr. h. c. mult. Manfred Glesner
Korreferent:	Prof. Dr. Arno Kostka
Tag der Einreichung:	2. Mai 2006
Tag der mündlichen Prüfung:	18. September 2006

D17

Darmstadt 2007

Inhaltsverzeichnis

1 Einführung **3**

1.1 Motivation 3

1.2 Übersicht über die vorliegende Arbeit 6

2 Informationsverarbeitung ohne Wirkleistung: Das adiabatische Prinzip **9**

2.1 Physikalischer Hintergrund des adiabatischen Prinzips 9

2.2 Ein Gedankenexperiment zum adiabatischen Prinzip 10

2.3 Maxwells Dämon als verbessertes Gedankenexperiment 11

2.4 Erweitertes Gedankenexperiment 13

2.5 Adiabatisches Laden und Entladen in digitalen Schaltungen 15

2.5.1 Idealer Ladespannungsverlauf für adiabatisches Umladen 17

2.5.2 Laden mit einer rampenförmigen Quellenspannung 20

2.5.3 Ausgleichsfaktor für nicht rampenförmige Quellenspannungen . . . 24

2.5.4 Erreichbarer Wirkungsgrad 26

2.5.5 Erreichbare Taktraten 28

2.6 Zusammenfassung 30

3 Einführung in die adiabatische Schaltungstechnik **33**

3.1 Adiabatisches Umladen 33

3.2 Reversible Logik 35

3.3 Retraktile Kaskaden 36

3.4 Adiabatische Logikfamilien 40

3.5 Dynamische adiabatische Logikfamilien 40

3.5.1 Efficient Charge Recovery Logic (ECRL), *2N2P*-Logik 41

3.5.2 True Single-Phase Energy-Recovering Logic (TSEL) 43

3.5.3 Improved Pass-gate Adiabatic Logic (IGPL) 43
3.5.4 2N-2N2D-Logik 44
3.5.5 Adiabatic Dynamic Logic (ADL) 45
3.5.6 Clocked Adiabatic Logic (CAL) 45
3.5.7 Source-coupled Adiabatic Logic (SCAL) 46
3.5.8 Dynamic Adiabatic MOS (DAMOS) 46
3.5.9 Adiabatic Pseudo-domino Logic (APDL) 46
3.5.10 Clock-powered CMOS 48
3.5.11 Dual-Rail Logic 49
3.5.12 Wirkungsgradvergleiche 50
3.6 Statische adiabatische Logik 51
3.6.1 Quasi-Static Energy Recovery Logic (QSERL) 52
3.6.2 CAMOS 54
3.7 Mehrwertige Logik 56
3.7.1 Sonstige Ansätze 57
3.8 Leistungsoszillatoren 58
3.8.1 Mehrstufiges Umladen 58
3.8.2 Blip-Oszillator 60
3.8.3 Steuerbare Oszillatoren 60
3.9 Zusammenfassung 62

4 Bipolartransistor-basiertes Diodenelement zur Ladungswiedergewinnung 65
4.1 Dynamische adiabatische Logik 65
4.2 Diodenflussspannung und Wirkungsgrad in adiabatischer Logik 67
4.3 Ein Diodenersatzelement 68
4.4 Flussspannung von Bipolartransistoren 77
4.5 Zusammenfassung 78

5 Erweiterung des Diodenelements zur Gegentaktstruktur 81
5.1 Schaltung der Gegentaktstruktur 81
5.2 Betrieb der Gegentaktstruktur 83
5.3 Erweiterte Gegentaktstruktur zur Wirkungsgradverbesserung 95
5.4 Zusammenfassung 96

6 Theoretische Analyse der *biQSERL*-Struktur 99

6.1 Ersatzmodell der Gegentaktstruktur 99

6.2 Ersatzmodell der erweiterten Struktur 106

6.3 Zusammenfassung 108

7 Performanz der *biQSERL*-Struktur 109

7.1 Simulationsumgebung 109

7.1.1 Flussspannungsverluste im Betrieb 110

7.1.2 Wirkleistungsumsatz im Ausgangsnetz einer *biQSER*-Stufe 110

7.1.3 Wirkleistungsumsatz im Basisnetz einer *biQSER*-Stufe 111

7.2 Wirkleistungsumsatz in der Leistungsphase 111

7.3 Systemwirkungsgrad eines *biQSERL*-Gatters 111

7.4 Zusammenfassung 112

8 Verifikation des Diodenelements mittels eines *ASIC*s 121

8.1 Domino-Logik-Teil des *ASIC*s 122

8.2 *biQSERL*-Logik-Teil des *ASIC*s 123

8.3 Versuchsaufbau für den *ASIC* 123

8.4 Eigenschaften der verwendeten Halbleitertechnologie 124

8.4.1 Eigenschaften der verfügbaren Bipolartransistoren 125

8.4.2 Eigenschaften der verfügbaren MOSFETs 139

8.4.3 Eigenschaften der *Pass-Gates* 140

8.5 Zusammenfassung 142

9 Einbindung in den Entwurfsablauf von *CMOS*-Schaltkreisen 145

9.1 Kopplung adiabatischer Gatter mit *CMOS*-Gattern 146

9.2 Einsatz als Ausgangstreiber 148

9.3 Einbindung in den Entwurfsablauf 148

9.4 Einsatz als *Pad*-Treiber 150

10 Zusammenfassung und Ausblick 155

10.1 Zusammenfassung 155

10.2 Ausblick 156

Literaturverzeichnis 157

Abbildungsverzeichnis **160**

Kurzfassung

Die vorliegende Arbeit befasst sich mit der Reduzierung der Verlustleistung in digitalen Schaltungen durch Optimierung auf schaltungstechnischer Ebene. Die Verminderung der Verlustleistung gewinnt eine immer größere Bedeutung, da auf der einen Seite bei Hochleistungsschaltkreisen wie Mikroprozessoren die Möglichkeiten der Weiterentwicklung durch die nicht beliebig steigerbare Verlustleistung begrenzt wird, auf der anderen Seite bei mobilen Geräten die verfügbare Energie zu Kompromissen zwischen Betriebsdauer, Funktion und Gewicht zwingt.

Ein in der Literatur vorgeschlagener Ansatz ist der Entwurf neuer Logikfamilien, die von der Überlegung ausgehen, dass die Eingänge von digitalen *CMOS*-Gattern nahezu reine kapazitive Lasten darstellen. Analysiert man digitale *CMOS*-Schaltungen mit den Werkzeugen der Wechselstromlehre, so zeigt sich, dass beim Umladen der Eingänge von *CMOS*-Gattern weitgehend nur Blindleistung auftritt. Der Wirkleistungsumsatz als zu vermindernde Größe entsteht in den Schalttransistoren in den Ausgängen der Gatter beim Umschalten zwischen den Logikpegeln. Logische Schaltungen, die das Prinzip des weitgehend wirkleistungsfreien Betriebs umsetzen, stellen das Konzept der adiabatischen Logik dar, die nahezu keinen Energieaustausch mit der Umgebung wie Leistungseinspeisung oder Wärmeableitung erfordert.

Als Alternative zum klassischen Aufbau von Logikgattern bietet sich das Umladen mittels Leistungsoszillatoren wie LC-Schwingkreisen an, mit entsprechend modifizierten Logikgattern. Im Wesentlichen stehen für die erforderlichen Anpassungen der Gatter zwei Wege zur Verfügung: Der eine Ansatz sind dynamische adiabatische Logikfamilien, die gute Wirkungsgrade bei hohen Schaltaktivitäten erreichen, deren Wirkungsgrad jedoch kaum mit der Schaltaktivität skaliert. Zudem sind diese Logikfamilien nicht direkt kompatibel zu *CMOS*-Gattern als heute weitestverbreiteter Schaltungsstruktur. Dies ist ein besonderer Nachteil, da *CMOS*-Gatter viele Vorteile – wie hohe Schaltgeschwindigkeit, geringe Transistorzahl und geringe statische Leistungsaufnahme – vereinen. Aus dieser Sicht ist die Mischbarkeit der Logikfamilien wünschenswert, optimal ist eine Entscheidbarkeit für jedes einzelne Netz oder Gatter. Der zweite Ansatz ist statische adiabatische Logik, die die Funktionsweise von *CMOS*-Gattern in adiabatischer Logik nachbildet. Diese Logikfamilien benötigen jedoch Dioden zur Entkopplung der Ausgänge, um mehrere Gatter mit einem gemeinsamen Leistungsoszillator betreiben zu können. Die Dioden können dabei sowohl *pn*-Übergänge wie auch als Dioden geschaltete *MOSFET*s sein. In beiden Fällen treten jedoch deutliche Flussspannungsverluste auf, die den Einsatz auf Schaltungen mit heute zumindest bei Hochleistungsbauteilen nicht mehr üblichen Versorgungsspannungen beschränken.

Da der Ansatz statischer adiabatischer Logik sehr attraktiv ist, stellt sich die Frage nach der Weiterentwickelbarkeit, insbesondere hinsichtlich geringer Versorgungsspannungen. Als Gegenstand dieser Arbeit wird ein Diodenelement eingeführt, mit dem sich unter Verwendung der Eigenschaften von Bipolartransistoren Diodenfunktionen realisieren lassen, deren Flussspannung deutlich unter der Flussspannung klassischer Dioden liegt. Dies erlaubt auch den Einsatz statischer adiabatischer Gatter bei geringeren Versorgungsspannungen und bei gleichzeitigem Erreichen guter Wirkungsgrade. Im Rahmen der Arbeit wird dieses Diodenelement auf schaltungstechnischer Ebene mittels Simulationen als auch mit einem Versuchs-ASIC untersucht, zudem werden die prinzipiell erreichbaren Wirkungsgrade analysiert und ein theoretisches Modell zur einfachen Abschätzung des erreichbaren Wirkungsgrads entwickelt. Abgeschlossen wird die Arbeit mit einem Vorschlag für die Einbindung in den heute üblichen Entwurfsablauf von höchstintegrierten Schaltkreisen.

Kapitel 1

Einführung

1.1 Motivation

Die wesentliche Motivation für die Entwicklung adiabatischer Schaltungsstrukturen ist die Verminderung der Leistungsaufnahme digitaler Schaltkreise. Dies ist aus zwei Gründen interessant: Zum einen wird die Verlustleistung und damit die erforderliche Kühlung bei vielen höchstintegrierten Schaltkreisen wie zum Beispiel Mikroprozessoren zum begrenzenden Faktor, zum anderen ist die Leistungsaufnahme insbesondere bei mobilen Geräten durch die begrenzten Energiereserven von Batterien und Akkumulatoren ein Kosten- und Akzeptanzfaktor. Bei vielen höchstintegrierten Schaltkreisen ist in den letzten Jahren ein Leistungsumsatz und eine Leistungsdichte erreicht worden, die an die Grenzen des ohne aufwändige Kühlsysteme möglichen Wärmeumsatzes geht. Dies führt dazu, dass die Verlustleistungsproblematik bei der Entwicklung neuer Bauteilegenerationen ein wesentlicher Entwurfsparameter wird. Auf der anderen Seite hängt die Akzeptanz insbesondere bei mobilen Geräten sehr stark von der Betriebsdauer und damit von dem Verhältnis Leistungsaufnahme zu Batteriekapazität ab. In den meisten Fällen ist die Batteriekapazität aber nicht beliebig vergrößerbar, da dies zu mehr Gewicht und mehr Volumen führt. Als Ausweg bleibt nur eine Verminderung der Leistungsaufnahme.

In den vergangenen Jahren sind eine Vielzahl von Möglichkeiten vorgeschlagen und vielfach auch realisiert worden, um die Leistungsaufnahme zu vermindern, zum Beispiel

- Strukturverkleinerung,
- Verringerung der Versorgungsspannung,
- Optimierungen in der Software,
- Optimierungen in der logischen Schaltungsstruktur z. B. zur Vermeidung von *Spikes*,
- Verringerungen der Schaltaktivität, z. B. durch *Clock-Gating*.

Im Rahmen dieser Arbeit soll nur die Schaltungsebene betrachtet werden.

Seit der Einführung von *CMOS* als Schaltungsstruktur ist auf Transistorebene die Verlustleistungsminimierung im Wesentlichen über die Strukturverkleinerung erfolgt, dies wurde begleitet von der Reduzierung der Versorgungsspannungen. Insbesondere auch die starke Entwicklung der integrierten Schaltkreise in den 1980er und 1990er Jahren ist auf die Strukturverkleinerung zurückzuführen, das heisst, dass immer mehr Funktionen auf der gleichen Chipfläche untergebracht werden konnten bei gleichzeitig steigender Schaltgeschwindigkeit.

Als Nachteil aus der Strukturverkleinerung und der Verringerung der Versorgungsspannung ergibt sich eine Vergrößerung der Leckströme. Die Leckströme setzen sich aus den heute schon als Problem existierenden *Drain-Source*-Leckströmen sowie den in Zukunft verstärkt auftretenden *Gate*-Tunnelströmen zusammen.

Die Leckströme durch den Kanal der *MOSFET*s (genauer der *subthreshold currrent*) vergrößern sich, da die Schwellspannungen der *MOS*-Transistoren immer geringer werden, genauer gesagt, die gesamte Kennlinie einschließlich der Schwellspannung wird skaliert. Hierdurch verbleiben auch im ausgeschalteten Zustand mehr freie Ladungsträger im Kanal, die auch unterhalb der Schwellspannung am Gate (das heißt bei $V_{GS} < V_{th}$) einen Strom in der Drain-Source-Strecke ermöglichen. Dieser Strom kann mit folgender Gleichung abgeschätzt werden [32]:

$$S = \left[\frac{\partial \ln(I_{DS})}{\partial V_{GS}}\right]^{-1} \cong \frac{kT}{q} ln_{10}\left(1 + \frac{T_{Ox}}{d}\frac{\epsilon_{Si}}{\epsilon_{Ox}}\right)$$

Der Parameter S ist dabei definiert als die *Gate*-Spannungsänderung, die für eine Änderung des Kanalstroms um eine Größenordnung im *subthreshold*-Bereich erforderlich ist. Die partielle Ableitung wird hier benutzt, da die Gleichung nur unterhalb der Schwellspannung gültig ist. Die Gleichung charakterisiert dabei das Problem der Reduzierung der Versorgungsspannung: mit jeder Halbierung der Schwellspannung *verzehnfachen* sich die Leckströme im Kanal.

Neben den Leckströmen entstehen zusätzlich Tunnelströme zwischen dem Kanal eines *MOSFET*s und dem *Gate*, da die Dicke des *Gate*-Oxids auf wenige Atomlagen reduziert werden muss, um bei geringerer *Gate*-Spannung den gleichen Kanalstrom zu erzielen.

Daraus folgt, dass die Versorgungsspannung zumindest nach heutigem Stand der Technik nicht mehr beliebig weit reduziert werden kann, sondern eine Abwägung zwischen dynamischen Verlusten durch Umschaltvorgänge und statischen Verlusten durch Leckströme getroffen werden muss. Verringert man die Versorgungsspannung weiter, so würden die statischen Verluste durch Leckströme den Hauptanteil an der Verlustleistung ausmachen, wodurch diese Verringerung kontraproduktiv würde.

Dies spiegelt sich auch in der *International Technology Roadmap for Semiconductors (ITRS)* wider [1]. Im Teil *Process Integration, Devices, and Structures* wird die Entwicklung der Prozessparameter für Höchstintegration für die kommenden 15 Jahre prognostiziert.

Diese Werte sind noch einmal in den nachfolgenden Tabellen detailliert aufgelistet. Einige dieser Werte sind mit einem Stern markiert. Dies bedeutet, dass nach heutigem Stand

von Forschung und Technik noch nicht mit Sicherheit gesagt werden kann, wie die Werte erreicht werden können bzw. ob sie überhaupt erreichbar sind.

Im Einzelnen sind aufgeführt: L_{drawn} ist die hergestellte minimale Kanallänge, L_{eff} ist die tatsächliche (wirksame) minimale Kanallänge in Nanometern; V_{dd} ist die Versorgungsspannung in Volt und τ die intrinsische Verzögerung eines *nMOSFET*s in Picosekunden. Weiterhin sind $I_{Gate,Leakage}$ der maximal erwartete Tunnelstrom zwischen dem Kanal und dem *Gate* in Picoampere je Quadratzentimeter Fläche sowie $I_{SD,Leakage}$ der *Source-Drain* Leckstrom in Picoampere pro Mikrometer. Zuletzt ist $P_{Leakage}$ die durch Leckströme (sowohl zwischen *Gate* und Kanal als auch zwischen *Source* und *Drain*) entstehende statische Verlustleistung in Picowatt je Mikrometer Kanalweite für einen Transistor mit minimaler Länge.

	2003	2004	2005	2007	2009	2012	2015	2018
L_{drawn} [nm]	65	53	45	35	28	20	14	10
L_{eff} [nm]	45	37	32	25	20	14	10	7
V_{dd} [V]	1,2	1,2	1,2	1,1	1,1	1,0	0,9	0,8
τ [ps]	3,23	2,77	2,28	1,72*	1,22*	0,79*	0,49*	0,31*
$I_{Gate,Leakage}$ [A/cm^2]	0,0044	0,0051	0,0094	0,023	0,048	0,1*	0,19*	0,33*
$I_{SD,Leakage}$ $[nA/\mu m]$	0,01	0,01	0,015	0,025	0,04	0,06	0,08*	0,1*
$P_{Leakage}$ $[nW/\mu m]$	0,024	0,024	0,036	0,055*	0,088*	0,12*	0,144*	0,16*

Tabelle 1.1: Einige prognostizierte Eigenschaften für Bauteile optimiert auf *low-standby-power*

	2003	2004	2005	2007	2009	2012	2015	2018
L_{drawn} [nm]	65	53	45	35	28	20	14	10
L_{eff} [nm]	45	37	32	25	20	14	10	7
V_{dd} [V]	1,0	0,9	0,9	0,8	0,8	0,7	0,6	0,5
τ [ps]	2,26	1,76	1,52	1,15*	0,89*	0,56*	0,34*	0,21*
$I_{Gate,Leakage}$ [A/cm^2]	0,51	1,89	2,22	5,21*	6,67*	13*	26*	111*
$I_{SD,Leakage}$ $[nA/\mu m]$	1	3	3	5	5	7	10*	30*
$P_{Leakage}$ $[nW/\mu m]$	2	5,4	5,4	8*	8*	9,8*	12*	30*

Tabelle 1.2: Einige prognostizierte Eigenschaften für Bauteile optimiert auf *low-operating-power*

Einige der in den Tabellen dargestellten Parameter sind noch einmal in Abbildung 1.1 dargestellt. Diese Grafik ist aufgespalten in die prognostizierte Entwicklung für *high-performance- (HP)*, *low-standby-power- (LSTP)* sowie *low-power*-Komponenten *(LP)*. In allen drei Fällen wird vorhergesagt, dass sich die Leckströme pro Transistor-Kanalweite in den nächsten 15 Jahren rund verzehnfachen werden.

Als weitere Kurven sind die erwarteten Taktraten als Kehrwert der intrinsischen Schaltzeit dargestellt. Die intrinsische Schaltzeit τ ist dabei die Zeit, die ein *nMOSFET* minimaler Kanallänge für das Entladen einer Kapazität gleich seiner *Gate-Source*-Kapazität von

	2003	2004	2005	2007	2009	2012	2015	2018
L_{drawn} [nm]	65	53	45	35	28	20	14	10
L_{eff} [nm]	45	37	32	25	20	14	10	7
V_{dd} [V]	1,2	1,2	1,1	1,1	1,0	0,9	0,8	0,7
τ [ps]	1,20	0,95	0,86	0,64*	0,48*	0,30*	0,18*	0,11*
$I_{Gate,Leakage}$ [A/cm^2]	220	450	520	930*	1200*	2400*	10k*	24k*
$I_{SD,Leakage}$ $[nA/\mu m]$	30	50	50	70	70	100*	300*	500*
$P_{Leakage}$ $[nW/\mu m]$	396	660	605	847*	770*	990*	2640*	3850*

Tabelle 1.3: Einige prognostizierte Eigenschaften für Bauteile optimiert auf *high performance*

Versorgungsspannung auf Null bei digitaler Ansteuerung benötigt:

$$\tau_{intrinsisch} = \frac{C_{Gate} V_{dd}}{I_{DS,sat}(V_{DS} = V_{C,Gate})}$$

Analysiert man insbesondere die Kurve für die erwarteten Leckströme, so zeigt sich, dass die Reduzierung der Versorgungsspannung durch die zunehmenden Leckströme erschwert wird. Andererseits ist eine Verringerung der Versorgungsspannung zur Begrenzung des Wachstums der Verlustleistung erforderlich. Ein möglicher Ausweg aus dieser Problematik besteht in der Verwendung von verlustleistungsreduzierter Logik, z. B. durch den Einsatz von Verfahren zur Ladungswiedergewinnung. Dies ermöglicht bei gleich bleibender Versorgungsspannung eine Verminderung der Verlustleistung und so eine weitere Steigerung der Integrationsdichte.

1.2 Übersicht über die vorliegende Arbeit

Im vorigen Abschnitt wurden die Notwendigkeit einer Leistungsminimierung aufgezeigt, jedoch auch die begrenzten Möglichkeiten der Verlustleistungsreduzierung durch Verringerung der Versorgungsspannung als gängigster Weg dargestellt. Die vorliegende Arbeit beschäftigt sich mit der Frage, wie in Logikschaltungen auf Transistorebene eine Verringerung der Leistungsaufnahme erreicht werden kann. Die Arbeit gliedert sich im Wesentlichen in drei Abschnitte:

1. Die theoretische Herleitung (Kapitel 1 bis 3),
2. die Einführung der schaltungstechnischen Struktur (Kapitel 4 und 5),
3. und die experimentelle Untersuchung.

In der theoretischen Herleitung soll ausgehend von elementaren physikalischen Überlegungen dargestellt werden, warum und bei welchen Vorgängen in der Informationsverarbeitung überhaupt Verlustleitung anfällt und inwieweit dies vermeidbar ist. Zudem wird

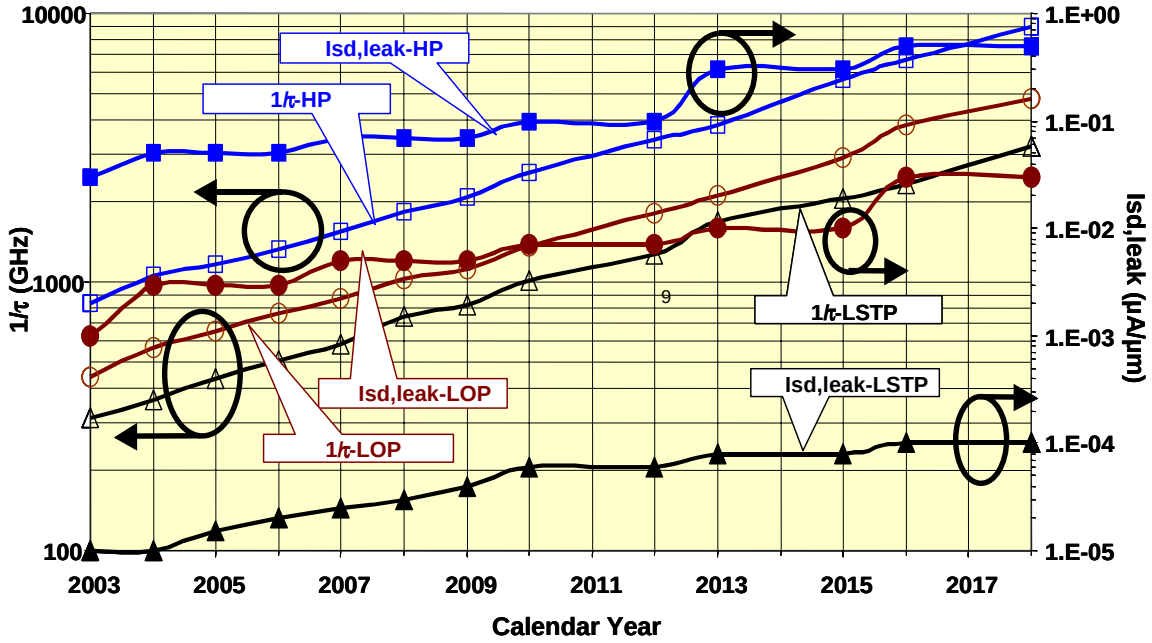

Abbildung 1.1: Von der *ITRS-Roadmap* prognostizierte Entwicklung der Schaltzeiten und der *Source-Drain*-Leckströme in integrierten Schaltkreisen. Die linke Skala ist der Kehrwert der intrinsischen Schaltzeit, die rechte Skala der Leckstrom eines Transistors mit minimaler Kanallänge. Mit *HP* sind die *high-performance*-Komponenten dargestellt, mit *LSTP* die *low-standby power* sowie mit *LOP* die Bauteile *low-operating power*. Die Pfeile zeigen an, zu welcher Skala die jeweilige Kurve gehört

das Konzept der adiabatischen Logik als Umsetzung der Überlegungen auf physikalischer Ebene einschließlich seiner Grenzen dargestellt. Weiterhin erfolgen eine Übersicht über die in der Literatur vorgeschlagenen prinzipiellen Ansätze sowie eine Übersicht über den Stand der Technik bei adiabatischen Logikfamilien.

Im zweiten Teil wird aufgezeigt, warum mit den verfügbaren Bauelementen keine attraktiven adiabatischen Logikfamilien realisierbar sind, insbesondere aufgrund der Flussspannungsproblematik bei Dioden. Als mögliche Alternative wird dann das bipolartransistorbasierte Diodenelement als eigentlicher Kern der Arbeit eingeführt. Die Funktion des Diodenelements wird anhand von Simulationen auf schaltungstechnischer Ebene dargestellt. Im weiteren Verlauf der Arbeit wird dieses Element so erweitert, dass es als logisches Gatter (*biQSERL*-Gatter) in digitalen *CMOS*-Schaltungen eingesetzt werden kann.

Im dritten Teil der Arbeit wird schließlich der erreichbare Wirkungsgrad untersucht. Hierzu werden zuerst Simulationsergebnisse auf Basis einer gängigen Technologie dargestellt. Anschließend daran wird ein Modell entwickelt, mit dem sich auf Basis von Prozessparametern und Schaltungsvorgaben der erreichbare Wirkungsgrad ohne aufwendige Simulationen vorhersagen lässt. Abgeschlossen wird die Arbeit mit Vorschlägen zur Einbindung der *biQSERL*-Gatter in den etablierten Entwurfsablauf für Digitalschaltungen.

Kapitel 2

Informationsverarbeitung ohne Wirkleistung: Das adiabatische Prinzip

Dieses Kapitel beschäftigt sich mit grundlegenden Überlegungen zu Informationsverarbeitung und Leistungsumsatz. Der erste Teil des Kapitels untersucht Informationsverarbeitung im Sinne von Zustandswechseln aus physikalischer Sicht. Dabei werden zwei Fragen untersucht: in welchem Schritt eines Informationsverarbeitungs-Zyklusses Leistung umgesetzt wird und welche prinzipiellen Ansätze exisitieren, diesen Schritt zu umgehen bzw. die umgesetzte Leistung wieder zurückzugewinnen.

Als weiterer Schwerpunkt wird gezeigt, wie Zustandsübergänge in digitalen Schaltungen mit minimalen Energieaufwand ausgeführt werden können. Weiterhin wird das Konzept der *adiabatischen Schaltungstechnik* (adiabatisch $\mapsto$ ohne Wärmeaustausch mit der Umgebung) dargestellt. Dabei soll die grundlegende Idee einer Schaltungstechnik dargestellt werden, die zumindest näherungsweise ohne äußere Energiezufuhr auskommt. Einen weiteren Schwerpunkt bildet die Abschätzung der erreichbaren Einsparungen der Leistungsaufnahme gegenüber *CMOS*-Logik und der erreichbaren Taktraten.

2.1 Physikalischer Hintergrund des adiabatischen Prinzips

Untersucht man das Betriebsverhalten digitaler Schaltkreise, so entsteht auf den ersten Blick der Eindruck, dass Betrieb und Leistungsumsatz zwingend gekoppelt sind. Bei genauerer Betrachtung zeigt sich aber, dass die Leistung hauptsächlich für Ruheströme und das Umladen von parasitären Kapazitäten verwendet wird, wobei das Verhältnis der Anteile der Leistungsaufnahme zwischen Ruheströmen und Umladen von der eingesetzten Technologie abhängig ist. Es ist dagegen schwer zu erkennen, inwieweit die Leistung tatsächlich zwingend zur Datenverarbeitung erforderlich ist oder nur aufgrund parasitärer Effekte und damit der Nicht-Idealität technischer Systeme entsteht.

Dieser Frage geht Landauer bereits in einem 1961 publiziertem Artikel [14, 15] nach.

Landauer kommt dabei zu dem Schluss, dass die Informationsverarbeitung im Sinne der Verknüpfung von Zuständen nicht zwingend einen Energieumsatz erfordert, wohl aber das *Löschen* von Information. Löschen bedeutet in diesem Kontext, dass ein Zustandsspeicher aus einem beliebigen, erlaubten Zustand s_t in einen vorher definierten Grundzustand s_0 überführt wird, wobei der Zustand s_t und der Grundzustand s_0 gleich sein dürfen. Dieses Prinzip wurde später nach ihm als *Landauerschers Prinzip* benannt.

Eine Erweiterung dieses Postulats wurde von Bennett 1973 [4] vorgeschlagen, er konnte zeigen, dass es bei einem Verzicht auf Löschvorgänge prinzipiell möglich ist, Information ohne Energieumsatz zu verarbeiten.

Als Grundsatz für dieses Prinzip dient der zweite Hauptsatz der Thermodynamik, die *Entropiebedingung*. Die Entropiebedingung besagt, dass die Entropie (zu dt. etwa „Unordnung“) eines beliebigen System mit der Zeit niemals abnehmen darf, sondern gleich bleiben oder zunehmen muss:

> *In einem beliebigen thermodynamischen Prozess, der von einem Gleichgewichtszustand in einen anderen wechselt, bleibt die Entropie des Systems und dessen Umgebung gleich oder wird größer.*

Mathematisch lässt sich die Entropieänderung dS beschreiben als

$$dS = \frac{dQ}{T} \geq 0 \tag{2.1}$$

wobei dQ die dem System zugeführte Wärmemenge und T die absolute Temperatur ist. Bei einem informationsverarbeitenden Prozess müssen damit nur die Prozessschritte Wärme abgeben ($dQ < 0$), die Information löschen und damit die Entropie verkleinern ($dS < 0$).

2.2 Ein Gedankenexperiment zum adiabatischen Prinzip

Die Idee hinter Laundauers Prinzip, dass nur das Löschen von Zuständen zwingend einen Leistungsumsatz erfordert, kann anhand eines Gedankenexperiments mit einem ein-molekularen „Gas“ nachvollzogen werden. Das Gas ist dabei in einer Doppelkammer eingeschlossen, die Zustandsspeicherung erfolgt entsprechend über die Festlegung, in welcher der beiden Kammern sich das Gasmolekül befindet. Folglich können in diesem Fall zwei Zustände gespeichert werden: Das Gasmolekül befindet sich in der linken Kammer oder das Gasmolekül befindet sich in der rechten Kammer. Dieser Zustandsspeicher soll nun gelöscht werden, also in seinen Grundzustand überführt werden, was in diesem Fall bedeutet, dass sich das Gasmolekül am Ende in der linken Kammer befinden soll.

Am Anfang des Vorgangs ist das Gas-Molekül in einer der beiden Kammern (Abbildung 2.1), es ist an dieser Stelle beliebig, in welcher. Ziel des Löschvorgangs ist die Verschiebung des Gasmoleküls in die linke Kammer, entsprechend dem definierten Grundzustand.

Im ersten Schritt wird die Trennwand zwischen den Kammern entfernt, wie in Abbildung 2.1 b) dargestellt. Hierbei verringert sich die im Gas gespeicherte Energie, da sich der „Gasdruck“ verringert, da das Gas sich ausdehnen kann.

Mittels eines Kolbens wird das Gasmolekül in den linken Teil der Kammer geschoben (vgl. Abbildung 2.1 c)), was einem Kompressionsvorgang entspricht und neben einer Druckerhöhung auch zu einer Temperaturerhöhung führt. Da der ganze Prozess isothermisch ablaufen soll, d. h. bei konstanter Temperatur, wird ein Teil der über den Kolben eingebrachten Energie an die Umgebung abgegeben. Die insgesamt aufgewendete Energie ist $E = kT \ln 2$ [27]. Dieser Schritt ist der eigentliche *Löschvorgang* für die Information, danach besteht keine Möglichkeit mehr, den Ausgangszustand wiederherzustellen.

Zuletzt kann die Trennwand wieder eingesetzt werden, das Molekül befindet sich in jedem Fall in der linken Kammer, wodurch ein definierter Zustand erreicht ist.

2.3 Maxwells Dämon als verbessertes Gedankenexperiment

Eine Erweiterung dieses Gedankenexperiments ist das Paradoxon von *Maxwells Dämon*. Dieses Paradoxon erweitert den oben dargestellten Löschvorgang um einen „intelligenten“ Dämon, der eine Energiewiedergewinnungsphase in den zweiten Schritt (Entfernen der Trennwand zwischen den Kammern) einführt. Der Dämon muss sich dazu „merken“, in welchem Zustand sich das Gasmolekül am Anfang befand, da der Aufbau von der Ausgangsposition des Gasmoleküls abhängt, dieser aber am Ende der Energiewiedergewinnungsphase keinen Rückschluss auf den Ausgangszustand mehr zulässt. Eine implizite Speicherung über die Art des Aufbaus selbst schließt sich verständlicherweise aus.

Als Vorbereitung wird die Trennwand zwischen den Kammern durch einen Kolben ersetzt, wobei die Kolbenanordnung von der Position des Gasmoleküls abhängt. Der Dämon muss sich die Anordnung „merken“, da der Kolben und die Masse nach Abschluss der Ausdehnungsphase gegebenenfalls auf die andere Seite gebracht werden müssen, dies aber vom Ausgangszustand abhängt und die vorliegende Kolbenanordnung nicht als Entscheidungskriterium dienen darf, da dies einen zusätzlichen Zustandsspeicher darstellen würde. Das Gas dehnt sich aus und verrichtet dabei Arbeit, indem es das Gewicht anhebt. Dies ist in Abbildung 2.2 dargestellt.

Der weitere Verlauf des Gedankenexperiments bleibt unverändert, die für den Kompressionsvorgang benötigte Energie kann in diesem Fall jedoch aus der im Gewicht gespeicherten potenziellen Energie genommen werden. Damit wäre die Information ohne Energieumsatz gelöscht worden. Diese Konstruktion hat aber einen logischen Fehler: Das „Merken“ der Anordnung des Kolbens in der Expansionsphase stellt *auch* eine Zustandsspeicherung dar. Letztlich ist damit das Problem nur von dem Gasmolekül auf den Dämon verschoben worden, aber gelöst ist es nicht.

Anhand dieses erweiterten Gedankenexperiment kann zudem nachvollzogen werden, warum Datenverarbeitung zumindest prinzipiell ohne Energieumsatz möglich ist. Wä-

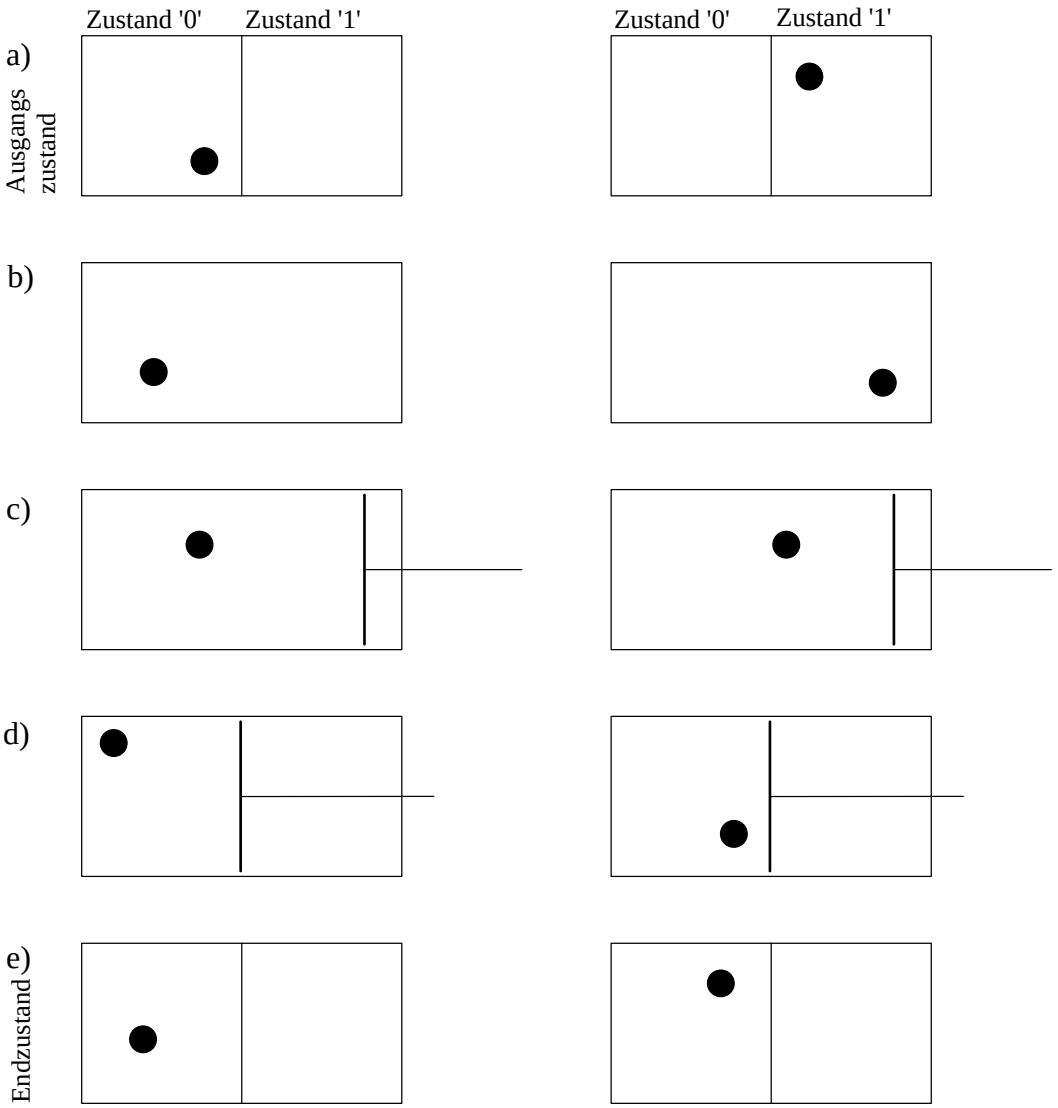

Abbildung 2.1: Im Ausgangszustand a) des Gedankenexperiments kann sich das Gasmolekül sowohl in der linken als auch in der rechten der beiden Kammern befinden. Im nächsten Schritt b) wird die Trennwand zwischen den Kammern entfernt und mittels eines Kolbens in c) das Gasmolekül in die linke Kammerhälfte geschoben, was einem Verdichtungsvorgang entspricht. Hat der Kolben die Mitte der Kammer erreicht, so kann im letzten Schritt e) die Trennwand wieder eingesetzt werden. Das Gasmolekül befindet sich jetzt in der linken Kammer, unabhängig vom Ausgangszustand.

Abbildung 2.2: *Maxwells Dämon*: Um die Information zu löschen, wird die Trennwand entfernt und anstelle der Trennwand ein Kolben eingesetzt, der mit einer Masse gekoppelt ist (Schritt b) von Abbildung 2.1). Das Gas expandiert und verrichtet dabei Arbeit an der Masse. Auf diese Weise wird die im 'Gasdruck' gespeicherte Energie an die Masse als potenzielle Energie übertragen.

re die Information über den Zustand des Gasmoleküls aus einer anderen Quelle für die gesamte Dauer des Verschiebeprozesses verfügbar, so könnte Energiewiedergewinnung benutzt werden. Dies kann zum Beispiel dadurch erreicht werden, dass Eingangssignale über die gesamte Dauer einer mehrstufigen logischen Operation gültig gehalten werden. Dadurch kann die logische Operation erst wie üblich stufenweise durchgeführt und anschließend wieder 'rückwärts' durchgeführt werden, wodurch zumindest innerhalb der logischen Kette keinerlei Löschvorgänge erforderlich sind. Dieses Konzept ist zum Beispiel in den *retraktilen Kaskaden* (Abschnitt 3.3) angewendet worden.

2.4 Erweitertes Gedankenexperiment

Ausgehend von *Maxwells Dämon* aus dem letzten Abschnitt kann ein System konstruiert werden, das auf einen externen Zustandsspeicher verzichten kann. Hierzu wird der Aufbau wie in Abbildung 2.3 so erweitert, dass nur ein Gewicht benötigt wird, das in beiden Fällen verwendet wird. Der Ansatz im mechanischen Aufbau besteht in der Verwendung von Seilen, diese verhalten sich als nichtlineare Elemente, da sie nur auf Zug Kraft übertragen, auf Druck aber nicht. Damit wird bei beiden Ausdehnungsvorgängen am Anfang des Ablaufs das Gewicht angehoben und dabei die freigesetzte Energie in potenzielle Energie umgesetzt. Diese Energie kann für die anschließende Kompressions- bzw. Löschphase verwendet werden. Durch die Entkopplung wird keine separate Zustandsspeicherung benötigt. Ein Riegel im Hubweg des Gewichts ermöglicht, die potenzielle Energie bis zur späteren Verwendung zu speichern.

Alternativ zu den Seilen kann auch eine feste Mechanik mit Freiläufen verwendet werden, d. h. Elementen, die in einer Bewegungsrichtung kraftschlüssig arbeiten, in der anderen Bewegungsrichtung nicht. Daraus wird die Überleitung zur Schaltungstechnik deutlich: In Schaltungen übernehmen Dioden die Aufgabe der Seile bzw. Freiläufe. Dioden haben ebenfalls ein nichtlineares Verhalten, je nach Polung leiten oder sperren sie, und ermöglichen so eine Ladungs- und damit Energiewiedergewinnung beim Entladen von Lastenkapazitäten, ohne den Zustand der einzelnen Kapazität kennen zu müssen.

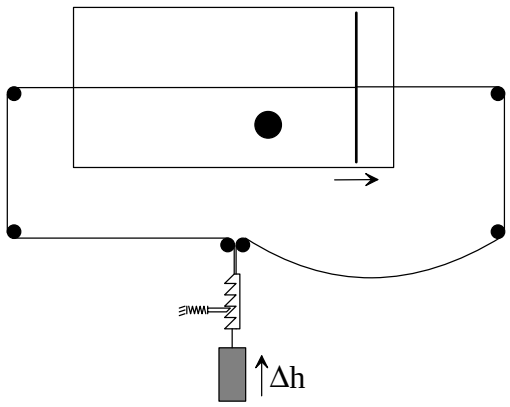

Abbildung 2.3: Durch die Verwendung nichtlinearer Elemente wie Seile lässt sich der Aufbau aus *Maxwells Dämon* so verändern, dass die Energie in *einem* Gewicht gespeichert wird; dies ermöglicht die Weiternutzung der im Gewicht gespeicherten potenziellen Energie für den Kompressionsvorgang (Schritt d) von Abbildung 2.1).

2.5 Adiabatisches Laden und Entladen in digitalen Schaltungen

Bevor die schaltungstechnischen Auswirkungen der Problematik des Löschvorgangs untersucht werden, soll erst einmal dargestellt werden, wie überhaupt Zustandswechsel in digitalen Schaltungen ohne Wirkverluste realisiert werden können. Die Löschproblematik ist Gegenstand des nächsten Kapitels.

Betrachtet man eine Schaltung in *CMOS*-Technik, so besteht diese grundsätzlich aus einer Gegentaktstufe, die den Ausgang zwischen $V_{Out,high}$ und $V_{Out,low}$ umschalten kann, in der Regel sind dies die Versorgungsspannung und Masse. Soll der Ausgang nicht hochohmig werden können, so sind die im *pull-up*- bzw. *pull-down*-Netzwerk realisierten Funktionen so aufgebaut, dass immer genau ein Netzwerk von beiden leitet. Damit ist der Ausgang zu jedem Zeitpunkt entweder mit der Versorgungsspannung oder mit Masse verbunden.

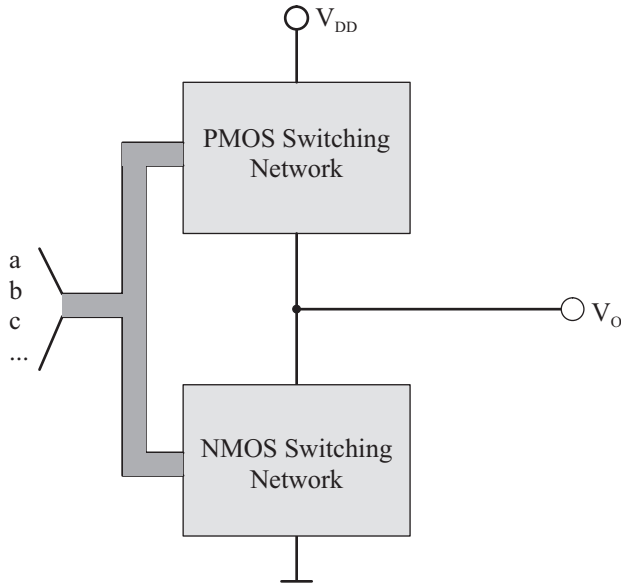

Abbildung 2.4: CMOS-Prinzip

Um eine derartige Schaltung zu untersuchen, können als einfacher Ansatz die *MOS*-Transistoren in den Verknüpfungsnetzwerken durch Widerstände und Schalter nachgebildet werden. Dies ist in Abbildung 2.5 für einen Inverter getan.

Analysiert man das zeitliche Verhalten der vereinfachten Schaltung in Abbildung 2.5, ergibt sich der wohlbekannte Verlauf eines *RC*-Gliedes (geschalteter Kondensator); dieser entspricht einer e^{-t}-Funktion. Der Spannungsverlauf für eine derartige Ladekurve ist in Abbildung 2.6 in der oberen Kurve b normiert dargestellt. Diese Kurve ist gleichzeitig die normierte Energie $E_S(t)$ als Funktion der Zeit. Die mittlere Kurve c ist der Wirkungsgrad $\eta_C(t)$ bezogen auf die Energie im Kondensator, also $\eta_C(t) = E_C(t)/E_S(t)$. Die unterste Kurve d ist die Energie $E_C(t)$ im Kondensator als Funktion der Zeit. Die fallende Kurve a ist der Strom. Es ist gut zu sehen, dass am Anfang des Umladevorgangs der größte Teil der Leistung im Widerstand in Wärme umgesetzt wird, da die Spannungsdifferenz

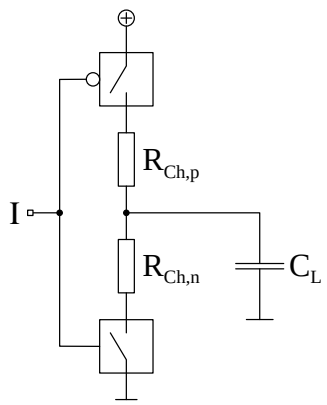

Abbildung 2.5: Einfaches Ersatzschaltbild eines *CMOS*-Inverters

über den Widerstand im Verhältnis zu der Spannung über den Kondensator groß ist. Erst mit fortschreitendem Ladevorgang verbessert sich dieses Verhältnis, da die Kondensatorspannung immer weiter steigt und dadurch die Spannung über den Widerstand kleiner wird.

Bei diesem Schaltungsaufbau wird in jedem Zyklus eine Energie von $\frac{1}{2}C \cdot V_{dd}^2$ zum Aufladen der am Ausgang V_o angeschlossenen kapazitiven Last benötigt; da der Spannungsverlauf an der Last jedoch rampenförmig ist, fällt die Differenzspannung zur Versorgungsspannung an den *pMOS*-Transistoren im *p*-Teil des Gatters ab. Dies führt ebenfalls zu einem Energieumsatz von $\frac{1}{2}C \cdot V_{dd}^2$, der allerdings in Wärme umgesetzt wird. Wird die kapazitive Last wieder entladen, so wird die in ihr gespeicherte Energie in den *nMOS*-Transistoren im *n*-Teil des Gatters ebenfalls in Wärme umgewandelt. Insgesamt ist damit eine elektrische Energie von

$$E_{loss} = C \cdot V_{dd}^2 \tag{2.2}$$

in Wärme umgewandelt worden. Da sowohl die Versorgungsspannung wie auch die Kapazitäten (vor allem die *Gate-Kapazitäten*) in den meisten Fällen durch die verwendeten Technologien vorgegeben sind, ist Gleichung 2.2 gewissermaßen die untere Schranke für die Leistungsaufnahme von *CMOS*-Schaltungen.

Geht man von der Frage aus, wie die Leistungsaufnahme minimiert werden kann, so ist die entscheidende Aussage, dass die Verlustleistung in den Schalttransistoren anfällt, während in der Kapazität nur Blindleistung auftritt. Dies ist eine günstige Situation, da die Kapazität als Last vorgegeben ist (sie bildet die *Gate*-Kapazitäten der *MOSFETs* der nächsten Stufe nach) und die Eigenschaften der Last entsprechend wenig veränderbar sind. Das Umschalten der Lastspannung zwischen den beiden festen Spannungen kann dagegen verändert werden, solange die entstehenden Spannungswerte als Logikpegel von der nächsten Stufe zuverlässig unterschieden werden können.

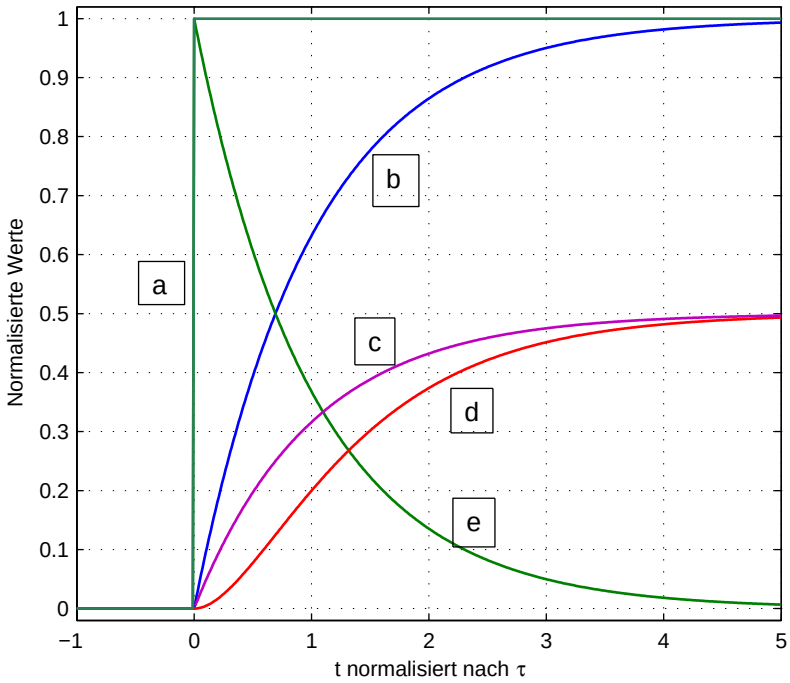

Abbildung 2.6: Abruptes Umladen: Die oberste Kurve a ist die anregende Spannung $s(t)$, darunter die Ausgangsspannung b und die Gesamtenergie $E_S(t)$ als Funktion der Zeit (beide Kurven sind gleich), die mittlere Kurve c ist der Wirkungsgrad $\eta_C(t)$ bezogen auf den Kondensator, die unterste Kurve d ist die Energie im Kondensator $E_C(t)$ als Funktion der Zeit. Die fallende Kurve e ist der Strom.

2.5.1 Idealer Ladespannungsverlauf für adiabatisches Umladen

In diesem Abschnitt soll untersucht werden, wie der Spannungsverlauf an der Quelle dazu aussehen muss. Als Ansatz ist dazu die Schaltung in Abbildung 2.7 wiedergegeben; Ein Kondensator wird über einen Widerstand aufgeladen. Der Kondensator entspricht dabei der Netzkapazität in einer Schaltung, der Widerstand bildet den Innenwiderstand des steuernden Gatters ab, also die Kanalwiderstände der Transistoren und die Leitungswiderstände der Verbindungen. Ziel des Umladungsvorgangs ist es, eine Ladungsmenge Q in den Kondensator zu laden, damit dieser sich auf die Spannung $V_C = U_H$ auflädt. Als Nebenbedingung soll dabei im Widerstand so wenig Leistung wie möglich in Wärme umgesetzt werden. Daraus ergibt sich die Fragestellung, wie der Spannungsverlauf $v(t)$ an der Spannungsquelle aussehen muss.

Zur Berechnung wird ein Verfahren zur quadratischen Optimierung [18] eingesetzt. Als Ausgangspunkt dient eine Differentialgleichung:

$$\frac{dx}{dt} = a(x) + b(x) \cdot v(t)$$

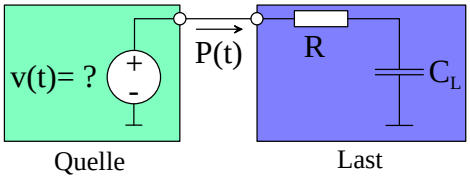

Abbildung 2.7: Allgemeines verlustbehaftetes Laden einer kapazitiven Last

Das Optimierungsziel ist die im Widerstand umgesetzte Energie:

$$\int_0^T \frac{v_R^2(t)}{R} dt \xrightarrow{!} minimal.$$

Als Randbedingungen kommen hinzu, dass der Kondensator am Anfang für $t = 0$ ungeladen ist und nach der Zeit $t = T$ die Spannung $v_C = v_H$ erreicht haben soll.

Um eine Rechnung mit beiden Bedingungen zu umgehen, wird eine zusätzliche Funktion λ eingeführt. Diese sorgt dafür, dass die Differentialgleichung für $t = T$ bei Erfüllung der Bedingung $v_C = v_H$ zu null wird. Als weitere Vereinfachung wird die Funktion linearisiert, d. h. für den Zeitpunkt $t = T$ in eine *Taylor*-Reihe entwickelt. Der Ansatz erfolgt über die *Hamilton*-Funktion:

$$H(\lambda, x, v, t) = -L(x, v) + \lambda \cdot (a(x) + b(x)v(t)) \,.$$

Mit dem Ansatz [26]

$$L(x, v) = -\frac{(v_i(t) - v_C(t))^2}{R}$$

als zu minimierende Spannungsdifferenz über den Widerstand ergibt sich

$$H = \frac{(v_i(t) - v_C(t))^2}{R} + \lambda(t)\frac{1}{\tau}(v_i(t) - v_C(t)) \,,$$

wobei τ die RC-Konstante der Schaltung ist.

Mit der Bedingung

$$\frac{\partial H}{\partial v} = 0$$

kann $v_i(t)$ bestimmt werden[1]

$$v_i(t) = v_C(t) - \frac{R\lambda(t)}{2\tau}.$$

Mit den geforderten Werten $x(0) = 0$ sowie $x(T) = V_H$ und den Bedingungen

$$\frac{d\lambda}{dt} = -\frac{\partial H}{\partial x}$$

[1] Beim dem in [26] angegebenen Term $v_i(t) = 2\tau v_C(t) - \frac{R\lambda(t)}{2\tau}$ muss von einem Rechenfehler ausgegangen werden.

und

$$\frac{dx}{dt} = -\frac{\partial H}{\partial \lambda}$$

ergibt sich

$$v_C(t) = \frac{V_H}{T} t.$$

Mittels dieser Gleichung kann noch $\lambda(t)$ bestimmt werden

$$\lambda(t) = -\frac{2\tau^2 V_H}{RT},$$

woraus sich die Quellenspannung $v_i(t)$ ergibt

$$v_i(t) = V_H \frac{\tau + t}{T} = \frac{V_H \tau}{T} + \frac{V_H}{T} t.$$

Dieser Ausdruck ist für den Zeitraum $0 < t < T$ gültig. Da sich für $t < 0$ und $t > T$ die Spannung am Kondensator nicht ändern soll, muss die Quellenspannung gleich der Kondensatorspannung sein. Aus dieser Forderung ergibt sich $v_i = 0$ für $t < 0$ und $v_i = V_H$ für $t > T$. Dieser Spannungsverlauf für die Spannungsquelle ist in Abbildung 2.8 dargestellt.

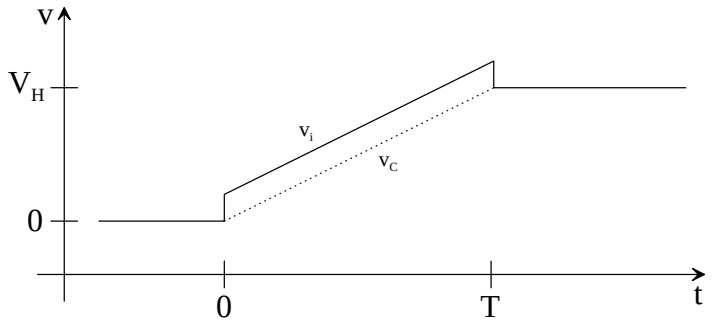

Abbildung 2.8: Spannungsverlauf für optimales Laden

Die Spannungsdifferenz am Widerstand ergibt sich zu

$$v_r = \frac{\tau}{T} V_H.$$

Daraus folgt, dass der von der Quelle gelieferte Strom konstant ist. Aus diesen Gleichungen lässt sich der Wirkungsgrad berechnen. Zuerst kann dazu die im Kondensator gespeicherte Energie bestimmt werden

$$E_C = \frac{1}{2} C V_H^2.$$

und die im Widerstand umgesetzte Energie

$$E_R = \frac{\tau^2 V_H^2}{RT} = i_R^2 RT = \frac{v_R^2}{R} T.$$

Daraus ergibt sich als Wirkungsgrad

$$\eta_{Stromquelle} = \frac{E_C}{E_C + E_R} = \frac{1}{1 + 2\frac{\tau}{T}}.$$

Diese Funktion besitzt zwei Extremfälle, der eine für $T \to 0$, dies führt auf einen *Dirac*-Impuls mit einer Spannungsamplitude $V_{Dirac} \to \infty$, der Wirkungsgrad geht dabei gegen Null. Der andere Extremfall ist das Umladen mit einer Dauer $T \to \infty$, hierbei wird die Spannungsdifferenz über den Widerstand näherungsweise null, entsprechend ist der Wirkungsgrad nahezu 1. Für einen sinnvollen Bereich für T ist der mit dieser Funktion berechnete Wirkungsgrad in Abbildung 2.9 grafisch dargestellt.

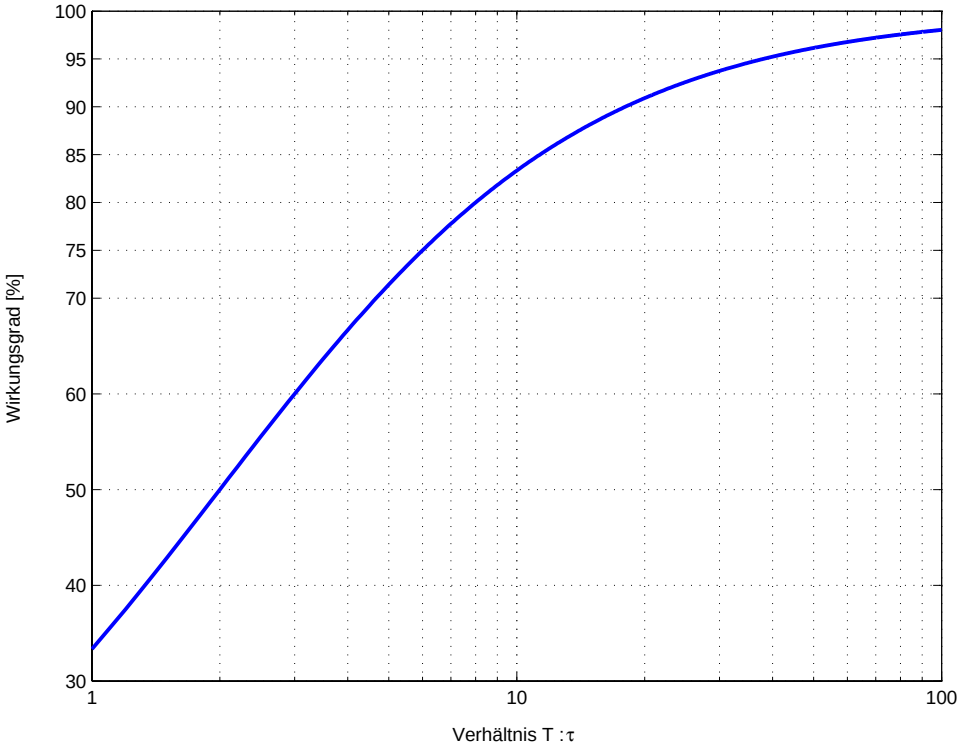

Abbildung 2.9: Wirkungsgradkennlinie für einen Ladevorgang mit dem in Abbildung 2.8 dargestellten Spannungsverlauf als Funktion von Vielfachen der RC-Zeitkonstanten

2.5.2 Laden mit einer rampenförmigen Quellenspannung

Wie aus Abbildung 2.9 ersichtlich, ist dieser Spannungsverlauf v_i für die Quelle schwierig zu realisieren, außer mit einer geschalteten Stromquelle. Einfacher ist der in Abbildung 2.10 dargestellte Spannungsverlauf des Ladens mit einer Spannungsrampe mit konstanter Steigung zu realisieren, dieser soll daher im Folgenden analysiert werden.

Es soll wieder gelten:

$$\tau = R \cdot C.$$

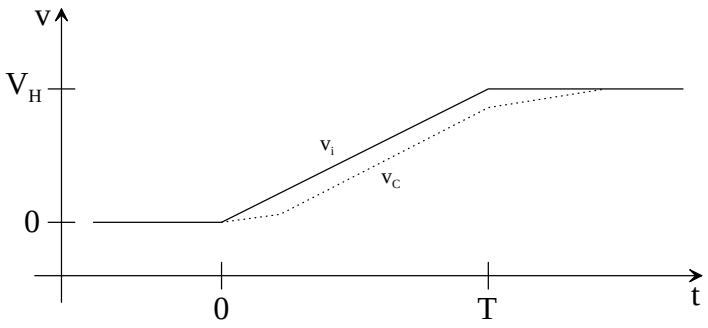

Abbildung 2.10: Besser für die Quelle zu realisierender Spannungsverlauf

Für den Verlauf der Spannung an der Quelle wird angenommen:

$$v_i(t) = \begin{cases} 0 & : \quad t < 0 \\ \kappa \cdot t & : \quad 0 \leq t < T \\ \kappa \cdot T & : \quad t \geq T \end{cases}$$

mit

$$\kappa = \frac{V_H}{T}.$$

Für den Spannungsverlauf am Kondensator bestimmt man zuerst den homogen Teil der Lösung der zugrunde liegenden Differentialgleichung, dies ist das wohlbekannte Problem (zum Beispiel [5]) des Umladens eines RC-Gliedes nach einer sprunghaften Änderung der anliegenden Spannung

$$v_{C,homogen}(t) = \kappa \cdot \tau e^{-t/\tau}.$$

Zur Bestimmung einer partikularen Lösung kann die Schaltung für $t \to \infty$ betrachtet werden. In diesem Fall sind die Umladevorgänge bei $t = 0$ sicher abgeschlossen und die Kondensatorspannung steigt proportional zur Quellenspannung

$$v_{C,partikular}(t) \sim v_S(t).$$

Daraus lässt sich die Spannungsdifferenz über den Widerstand bestimmen und zusammen mit der Quellenspannung die Lösung des partikularen Teils der Differentialgleichung

$$v_{C,partikular}(t) = \kappa(t - \tau).$$

Es ergibt sich für als Spannungsfunktion am Kondensator

$$v_C(t) = \kappa(t - \tau) + \kappa\tau e^{-t/\tau}$$

sowie als Spannungsdifferenz über den Widerstand

$$v_R(t) = \kappa \cdot \tau \left(1 - e^{-t/\tau}\right).$$

Folglich ist die Spannungsdifferenz am Widerstand nicht konstant. Um den Wirkungsgrad berechnen zu können, braucht man die Energien als Funktion der Zeit:

$$E_C(T) = \frac{1}{2} \cdot v_C^2(T) \cdot C = \frac{1}{2}\kappa^2 C \cdot \left[\tau^2 \left((e^{-T/\tau}+1)^2 - 2e^{-T/\tau}\right) + T^2 - 2\tau T\right] \tag{2.3}$$

$$E_S(T) = \int_0^T P_S(t)dt = \int_0^T v_S(t) \cdot \frac{v_R^2(t)}{R} dt = \kappa^2 C \cdot \left[\frac{1}{2}t^2 + \tau^2\left(\frac{t}{\tau}+1\right) \cdot e^{-t/\tau}\right]_0^T \tag{2.4}$$

$$= \kappa^2 C \cdot \left[\frac{1}{2}T^2 + \tau^2\left(\left(\frac{T}{\tau}+1\right)e^{-T/\tau} - 1\right)\right]. \tag{2.5}$$

Daraus ergibt sich der Wirkungsgrad für den Zeitraum $[0, T]$ zu

$$\eta_{Rampe,T} = \frac{E_C(T)}{E_S(T)} = \frac{1}{2} \cdot \frac{\tau^2 \cdot \left((e^{-T/\tau}+1)^2 - 2e^{-T/\tau}\right) + T^2 - 2\tau T}{\frac{1}{2}T^2 + \tau^2\left(\left(\frac{T}{\tau}+1\right)e^{-T/\tau} - 1\right)}. \tag{2.6}$$

Dieser Wirkungsgradverlauf ist in Abbildung 2.11 als Funktion der Ladedauer T dargestellt. Betrachtet man stattdessen den Zeitraum $[0, \infty]$, so kommt zu dem bisher bestimmten Ladeverlauf noch ein normaler Ladevorgang für den Kondensator von der Spannung $v_C(T) < U_H$ auf $v_C(\infty) = V_H$. Die Energie im Kondensator ist in diesem Fall

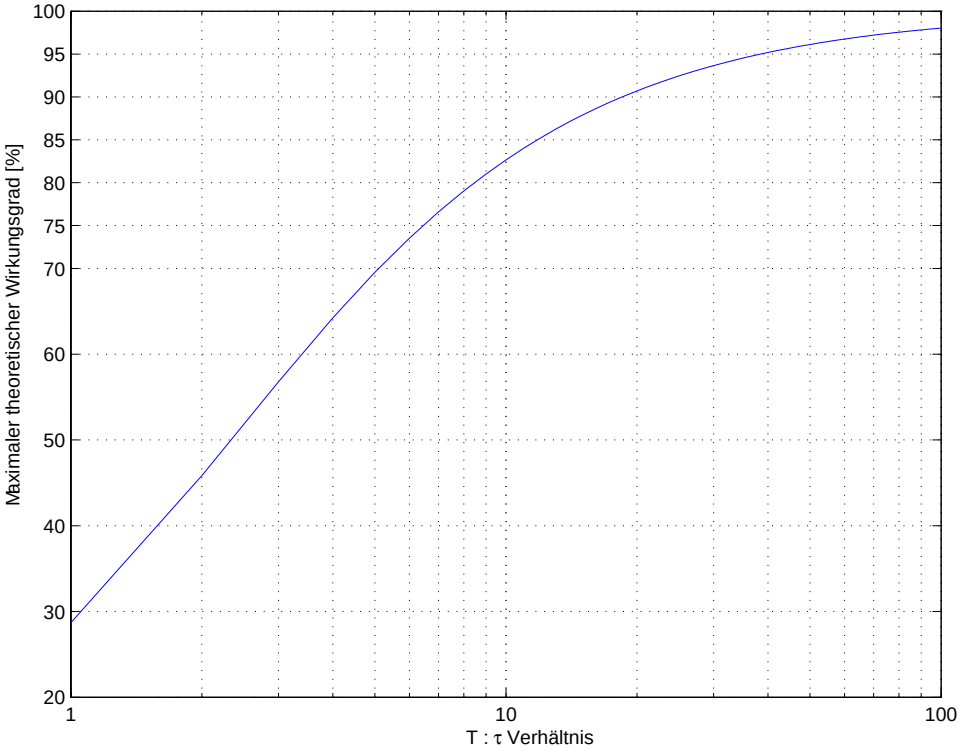

Abbildung 2.11: Wirkungsgrad als Funktion der RC-Zeitkonstante für das Laden mit rampenförmigen Spannungsverlauf für $0 < t < T$

$$E_C(\infty) = \frac{1}{2}V_H^2 \cdot C = \frac{1}{2}\kappa^2 C \cdot T^2.$$

Die von der Quelle aufzuwendende Energie setzt sich in diesem Fall aus dem in Gleichung 2.5 bereits bestimmten Teil für $t = [0, T]$ und einem zusätzlichen Teil für $t[T, \infty)$ zusammen. Dieser Anteil ist

$$E_S(t = [T, \infty)) = C \cdot \left(\kappa \cdot T - \kappa(T - \tau) - \kappa\tau \cdot e^{-T/\tau}\right)^2$$

$$E_S(\infty) = \kappa^2 \cdot C \cdot \left[\frac{1}{2}T^2 + \tau^2 \left(\left(\frac{T}{\tau} + 1\right) e^{-T/\tau} - 1 + (1 - e^{-2T/\tau})^2\right)\right].$$

Als Wirkungsgrad ergibt sich damit

$$\eta_{Rampe,\infty} = \frac{1}{2} \cdot \frac{T^2}{\frac{1}{2}T^2 + \tau^2 \left(\left(\frac{T}{\tau} + 1\right) e^{-T/\tau} - 1 + (1 - e^{-T/\tau})^2\right)}. \tag{2.7}$$

Auch diese Wirkungsgradfunktion ist grafisch dargestellt in Abbildung 2.12. Die Wirkungsgradkennlinie beginnt am linken Rand für $T << \tau$ mit einem Wirkungsgrad von etwas über 50%, dem für Laden mit einem Spannungssprung typischen Wert. Dieser Fall liegt auch hier vor, da die Zeitkonstante des RC-Gliedes deutlich größer ist als die angenommene Ladezeit. Überraschend ist der hohe Wirkungsgrad von fast 80% bei $T/\tau = 1$. Vergleicht man dies mit dem vorigen Diagramm (hier sind es etwa 28% für $T/\tau = 1$), so fällt der Wirkungsgrad viel höher aus als eigentlich zu erwarten wäre.

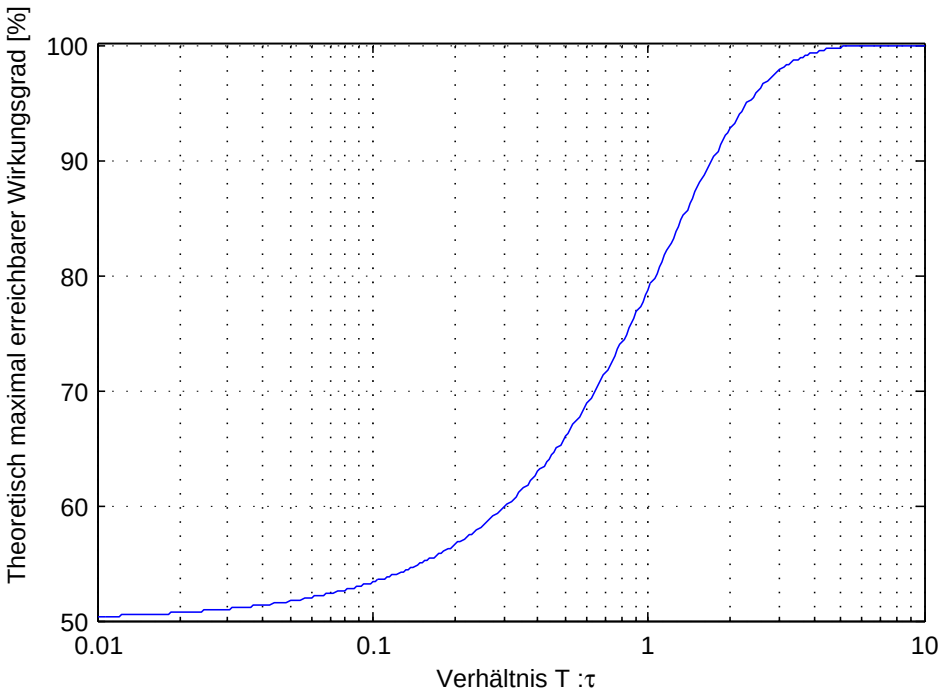

Abbildung 2.12: Wirkungsgrad als Funktion der RC-Zeitkonstante für das Laden mit rampenförmigen Spannungsverlauf für $0 < t < \infty$

Die Erklärung für den hohen Wirkungsgrad dieses Verfahrens liegt im Diagramm über den abrupten Umladevorgang am Anfang dieses Abschnitts. Untersucht man die Wirkungsgradkurve in diesem Diagramm, so ist zu ersehen, dass der größte Teil der Verluste beim Laden mit sprungförmigen Spannungsanstieg am Anfang der Ladekurve auftritt. Ersetzt man diesen Teil durch einen rampenförmigen Ladevorgang, so verringern sich diese Verluste deutlich. Der verbleibende Ladevorgang für den Kondensator auf die volle Spannung hat in jedem Fall einen guten Wirkungsgrad, da das Verhältnis zwischen Spannungsdifferenz über den Widerstand und Spannung am Kondensator deutlich günstiger ist.

2.5.3 Ausgleichsfaktor für nicht rampenförmige Quellenspannungen

Im vorigen Abschnitt wurden mehrere mögliche Spannungsverläufe für das Aufladen der Lastkapazität betrachtet. Dabei wurde ausschließlich auf einen für die Last optimalen Ladeverlauf geachtet. Dies kann jedoch seitens der Spannungsquelle nachteilig sein und zu einer Verringerung des Wirkungsgrads der Quelle führen. Da sowohl der Wirkungsgrad des Ladevorgangs als auch der Wirkungsgrad der Quelle in den Gesamtwirkungsgrad eingehen, kann es sinnvoll sein, einen Spannungsverlauf als Kompromiss zu wählen, der sowohl für die Quelle als auch für die Last zu einem akzeptablen Wirkungsgrad führt.

Soll ein beliebiger Spannungsverlauf der Quelle zugrunde gelegt werden, so kann unter Umständen der Zeitverlauf nur noch durch die Integralbeziehung

$$v_C(t) = \int_0^T \frac{v_i(t) - v_C(t)}{RC}\, dt + v_C(0)$$

bestimmt werden. Um dennoch, zumindest in linearen Schaltungen, die Verluste ohne aufwändige Rechnung abschätzen zu können, wird der Ausgleichsfaktor ξ definiert, mittels dessen von den Verlusten bei rampenförmigem (linearem) Aufladen auf die Verluste beim Aufladen mit einem anderen Spannungsverlauf geschlossen werden kann. Hierbei wird von der Annahme ausgegangen, dass der Ladeverlauf langsam genug erfolgt, um die Spannungsdifferenz über den Widerstand gegenüber der Kondensatorspannung vernachlässigen zu können, ohne die Genauigkeit des Ergebnisses wesentlich zu beeinträchtigen.

Als Ansatz für die Rechnung dient die Aussage, dass die Lastkapazität immer um die gleiche Spannung aufgeladen werden soll. Entsprechend muss in allen Fällen die gleiche Ladungsmenge transportiert werden, d. h. das Integral des Stroms durch den Widerstand über die Zeit (die Aufladedauer) ist in allen Fällen gleich. Da beim Widerstand ein linearer Zusammenhang zwischen Spannung und Strom besteht, ist das Integral der Spannung am Widerstand über die Aufladezeit ebenfalls gleich. Um die Rechnung weiter zu vereinfachen, werden Aufladezeit und Spannungs-Zeitfläche am Widerstand für das Aufladen mit einer Rampe normiert, d. h.:

$$T \equiv 1$$

$$\int_0^{T=1} v_R(t)dt \equiv 1$$

Tatsächlich muss die Dauer T natürlich sehr viel größer als zum Beispiel $\tau = RC$ sein, um die Bedingung $v_R(t) << v_C(T)$ zu erfüllen, da die Spannungsdifferenz am Widerstand gegenüber der Kondensatorspannung als vernachlässigbar angenommen wurde. Da die Spannung über den Widerstand bei einer Rampe konstant ist ($\frac{dv_C}{dt} = const \rightarrow i_C = const \rightarrow v_R = const$), ist die Spannung nicht zeitabhängig, womit sich einfach schreiben lässt

$$\int_0^1 1dt = 1.$$

Das eigentlich interessierende Maß ist der Leistungsumsatz am Widerstand

$$\frac{1}{R}\int_0^{T=1} v_R^2(t)dt = \int_0^{T=1} 1^2 dt = 1.$$

Soll dagegen eine beliebige Kurvenform verwendet werden, so kann ξ über die allgemeine Beziehung

$$\xi = \frac{R \cdot \int_0^T (\kappa \cdot v_{R,beliebig}(t))^2 \, dt}{R \cdot \int_0^T (v_{R,Rampe}(t))^2 \, dt} = \int_0^T (\kappa \cdot v_{R,beliebig}(t))^2 \, dt \tag{2.8}$$

gefunden werden. Der Faktor κ muss dabei so bestimmt werden, dass die Bedingung

$$\int_0^T \kappa \cdot v_{R,beliebig}(t) \stackrel{!}{=} 1$$

erfüllt ist, damit die geforderte Ladungsmenge in den Kondensator transportiert wird. Für eine Sinuskurve als Ladespannungsverlauf ergibt sich

$$\int_0^{T=1} \kappa sin(\pi t) \, dt \stackrel{!}{=} 1.$$

$$\kappa = \frac{\pi}{2}$$

sowie

$$\xi_{sinus} = \int_0^{T=1} (\kappa sin(\pi t))^2 \, dt = \frac{\pi^2}{8} = 1,2337.$$

Aus dem Faktor ξ lässt sich jedoch nicht direkt auf den Wirkungsgrad schließen, da dieser ebenfalls von der Ladezeit T abhängt, wie in den vorigen Abschnitten dargestellt. Daher ist ein direkter Vergleich zum Beispiel mit einem sprungförmigen Aufladen nicht möglich.

2.5.4 Erreichbarer Wirkungsgrad

Es wurde bereits dargestellt, dass als Spannungsverlauf eine rampenförmige Spannung eine gute Näherung des eigentlich optimalen Ladens mit konstantem Strom darstellt. Dabei wurde als strombegrenzendes Element ein Widerstand angenommen. Dieser Widerstand steht dabei stellvertretend für *Pass-Gates* oder *Transmission-Gates*, die normalerweise in adiabatischen Schaltungen den größten Teil der Verluste beim Auf- und Entladen verursachen.

Hierzu soll eine gegenüber der mathematisch genauen Lösung in Gleichung 2.7 vereinfachte Gleichung verwendet werden, die zumindest für große Zeitkonstanten $T/\tau >> 1$ eine hinreichend genaue Berechnung erlaubt, jedoch deutlich besser handhabbar ist. Als Verlustleistung für einen Widerstand bei rampenförmigen Verlauf ergibt sich damit [2, 37]

$$\begin{aligned} E_{diss} &= P \cdot T = I^2 \cdot R \cdot \ T \\ &= \left(\frac{C_L V_{dd}}{T}\right)^2 \cdot R \cdot T \\ E_{diss} &= \left(\frac{C_L V_{dd}}{T}\right)^2 \cdot C_L \cdot V_{dd}^2. \end{aligned} \tag{2.9}$$

Wird anstelle des Widerstands ein *Pass-Gate* aus *MOS*-Transistoren eingesetzt, also eine Parallelschaltung eines *pMOS*- mit einem *nMOS*-Transistor, so kann man den Wirkungsgrad über folgende Annahmen abschätzen. Zuerst lässt sich der Leitwert der *Drain-Source*-Strecken mit folgenden Gleichungen bestimmen:

$$\begin{aligned} G_p &= \frac{K_p}{C_p}\left(V_{\overline{DS}} - V_{th,p}\right) \\ G_n &= \frac{K_n}{C_n}\left(V_{dd} - V_{\overline{DS}} - V_{th,n}\right). \end{aligned}$$

Die Parameter C_n und C_p sind dabei die (absoluten) *Gate*-Kapazitäten der Transistoren. Legt man Transistoren mit minimaler Kanallänge zugrunde, so wird die Kanalweite über die *Gate*-Kapazitäten mitbestimmt. Weiterhin wird angenommen, dass das *Gate* des *nMOSFET*s auf die Versorgungsspannung gelegt ist und das*Gate* des *pMOSFET*s auf Masse, um maximale Leitwerte zu erzielen. In den Gleichungen wird der zeitliche Mittelwert der *Drain-Source*-Spannung $V_{\overline{DS}}$ der *MOSFET*s verwendet, um Ungleichmäßigkeiten im Kanalstrom zu berücksichtigen; dies begrenzt jedoch die Genauigkeit des Ergebnisses.

Diese beiden Gleichungen können zusammengefasst werden, und daraus lässt sich der Widerstand im eingeschalteten Zustand des *Transmission-Gates* unter der Annahme einer vom Leitwert her gleichen Dimensionierung des *pMOS*- wie des *nMOS*-Transistors bestimmen:

$$\frac{K_p}{C_p} \approx \frac{K_n}{C_n}$$

$$G_p + G_n = \frac{C_n}{K_n}\left(V_{dd} - V_{\overline{DS},n} - V_{th,n} + V_{\overline{DS},p} - V_{th,p}\right)$$
$$= \frac{C_n}{K_n}\left(V_{dd} - 2 \cdot V_{th}\right)$$

$$R_{TG} = \frac{K_n}{C_n\left(V_{dd} - V_{th}\right)}. \tag{2.10}$$

Setzt man die obige Gleichung in die Ausgangsgleichung für das rampenförmige Laden und Entladen eines RC-Gliedes 2.9 ein, so ergibt sich:

$$E_{Loss} = 2\frac{R_{TG}C_L}{T} \cdot C_L \cdot V_{dd}^2$$
$$= \frac{2}{T}\frac{K_n}{C_n\left(V_{dd} - 2V_{th}\right)} \cdot C_L \cdot V_{dd}^2.$$

Um auch andere Spannungsverläufe als den rampenförmigen Verlauf berücksichtigen zu können, wird der *Shape*-Faktor ξ eingefügt:

$$E_{Verlust} = \frac{2\xi}{T}\frac{K_n}{C_n\left(V_{dd} - 2V_{th}\right)} \cdot C_L \cdot V_{dd}^2. \tag{2.11}$$

Mit der bekannten Gleichung für die Energie eines Kondensators als Funktion der Spannung

$$E_C = \frac{1}{2}C \cdot V_C(t)^2.$$

lässt sich der Wirkungsgrad zum Zeitpunkt T bestimmen

$$\eta = \frac{E_{Verlust}}{E_C(T)} = \frac{4\xi}{T}\frac{K_n}{C_n\left(V_{dd} - 2V_{th}\right)} \tag{2.12}$$

2.5.5 Erreichbare Taktraten

Zieht man das Ersatzschaltbild eines *Pass-Gates* oder *Transmissiongates* heran, so zeigt sich, dass neben der kapazitiven Last auch die *Gate*-Kapazitäten der nachfolgenden Stufen umgeladen werden müssen. Daraus entsteht ein zusätzlicher Blindstrom, der durch die Kanalwiderstände zu einer Verlustleistung führt. Die Kanalwiderstände können zwar durch Vergrößerung der Kanalweite reduziert werden, damit steigen jedoch auch die *Gate*-Kapazitäten und damit die Belastung der vorherigen, treibenden Stufe. Die einzige wirkliche Lösung ist eine Verringerung des Kanalwiderstands der Transistoren, dieser ist jedoch technologieabhängig und kann daher in der Regel nicht weiter reduziert werden. Wird nun ein minimal zu erreichender Wirkungsgrad vorausgesetzt, so ergibt sich daraus die obere Grenzfrequenz bis zu der adiabatisches Laden sinnvoll ist. Um diese Frequenz bestimmen zu können, wird die Testschaltung in Abbildung 2.13 verwendet. Diese besteht aus einer ohne zusätzliche Last laufenden Inverterkette aus *Pass-Gates*. Die einzelnen Stufen werden dabei so angesteuert, dass sich das gewünschte Schaltverhalten ergibt.

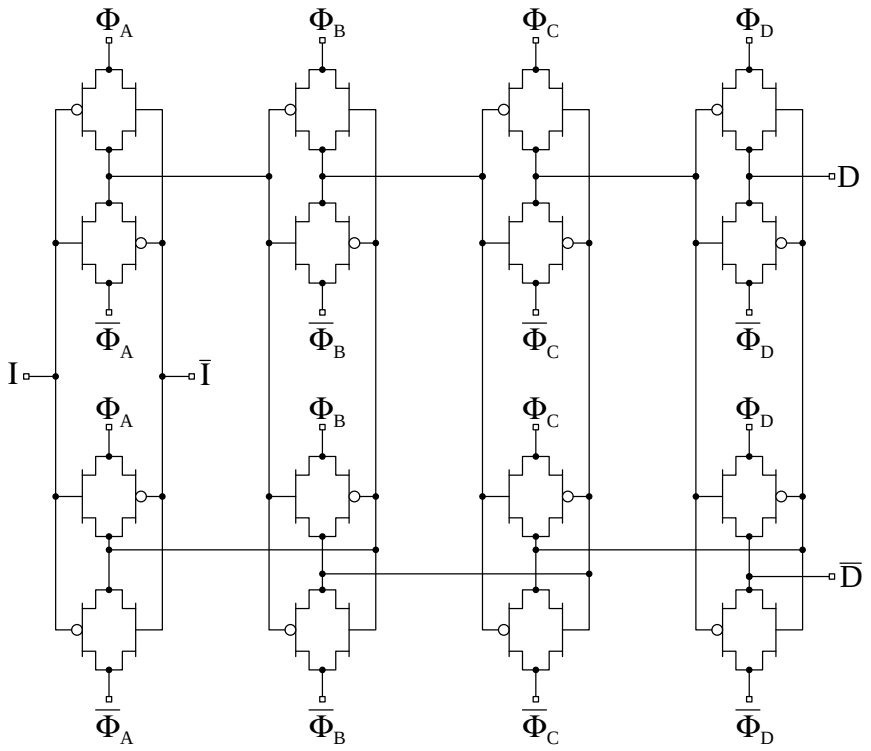

Abbildung 2.13: Inverterkette aus *Pass-Gates* zur Bestimmung der maximalen Schaltgeschwindigkeit. Die Leistungstakte Φ ermöglichen dabei ein adiabatischen Auf- und Entladen.

Für eine einfache Abschätzung wird für die *Gate*-Kapazitäten eine ideale Kapazität sowie ein idealer (linearer) Widerstand für den Kanalwiderstand angenommen; zudem werden die *Gate*-Kapazitäten vom *nMOS*- und vom *pMOSFET* sowie die Kanalwiderstände jeweils aufsummiert. Das Schaltverhalten wird durch einen Schalter nachgebildet, der in seiner logischen Funktion dem *nMOSFET* entspricht. Daraus ergibt sich das Ersatzschaltbild

in Abbildung 2.14.

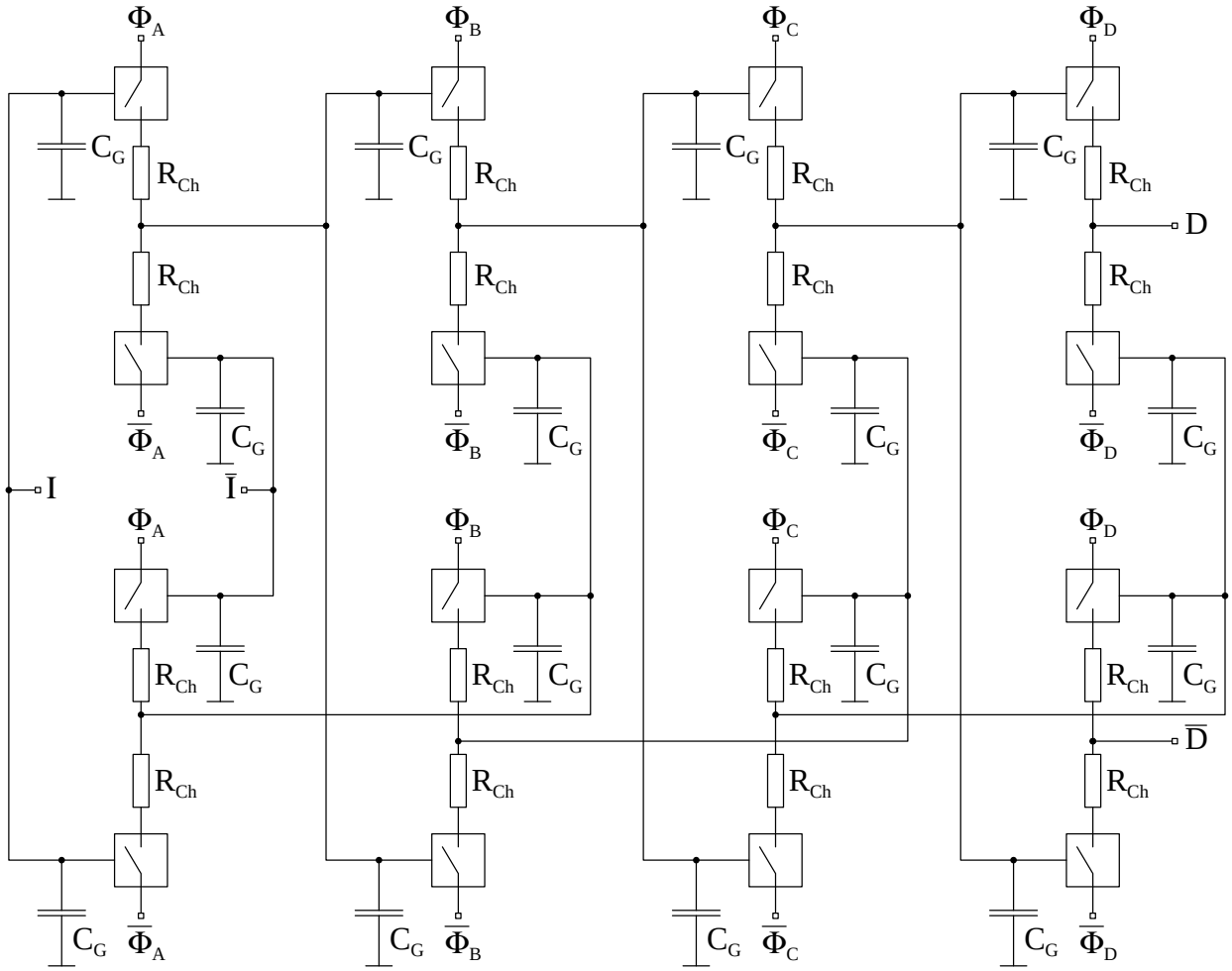

Abbildung 2.14: Ersatzschaltbild der Inverterkette. Die Schalter schließen alle für eine '1' am Eingang.

Soll die maximale Taktrate für eine *CMOS*-Schaltung ermittelt werden, so legt man das Verhalten eines *RC*-Gliedes (Tiefpass) zugrunde und bestimmt daraus die Umladezeit. Mit gegebenen Schwellspannungen für die Zustände *low* und *high*, zum Beispiel $v_{low} < 0,33 \cdot V_{dd}$ und $v_{high} > 0,67 \cdot V_{dd}$ lässt sich die erforderliche Zeit berechnen. Für einen Aufladevorgang ergibt sich als Zeitkonstante

$$t_{low-to-high} = -RC \cdot \ln\left(1 - \frac{V_{high,min}}{V_{dd}}\right).$$

Für adiabatische Schaltungen muss anders vorgegangen werden, da hier die Verluste resultierend aus der Spannungsdifferenz über das *Pass-Gate* minimiert werden müssen. Hierzu muss die Ladedauer T deutlich größer gewählt werden als die Zeitkonstante $\tau = RC$, in der Regel um ein Vielfaches. Der dann erreichbare Wirkungsgrad ist zum Beispiel für rampenförmiges Laden im Abschnitt 2.5.2 ausführlich dargestellt worden.

Betrachtet man zum Beispiel die dritte Stufe C, so lässt sich leicht erkennen, dass ein einheitliches Verändern der Kanalweite keinen Einfluss auf die Schaltgeschwindigkeit hat, da die RC-Konstante aus *Gate*-Kapazitäten und Kanalwiderständen gleich bleibt.

Letztlich entsteht eine Verbesserung nur durch technologische Weiterentwicklung, d. h. durch Verringerung der *Gate*-Kapazitäten sowie durch eine Vergrößerung der Kanalleitwerte. Ein Beispiel für die Entwicklung der Kanalleitwerte in den letzten Jahren ist in Abbildung 2.15 wiedergegeben.

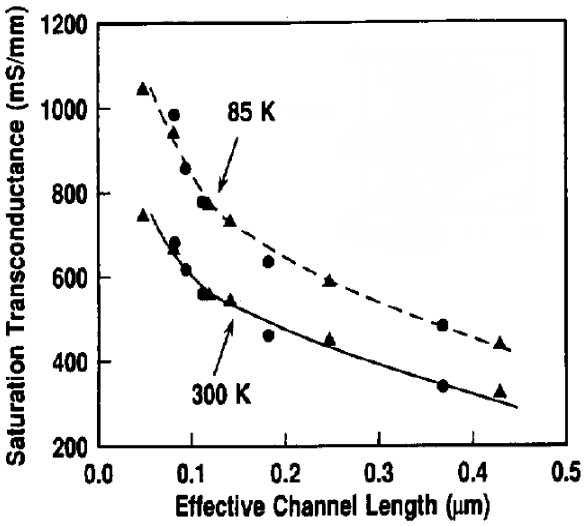

Abbildung 2.15: Entwicklung des Übertragungsleitwerts [24]

2.6 Zusammenfassung

Analysiert man die Ursachen für den Leistungsumsatz in digitalen Schaltungen, so erweist sich eine Darstellung aus Spannungsquelle, Schaltern mit Innenwiderstand für die Datenabhängigkeit und Kapazitäten als Lasten als sehr geeignet. Für die Verlustleistung lassen sich daraus zwei prinzipielle Ursachen ausmachen: Zum einen ist dies die Verlustleistung beim Laden der Lastkapazitäten auf die Versorgungsspannung, zum anderen das Entladen der Lastkapazität.

Die Verluste beim Laden der Lastkapazitäten sind durch eine geeignete Wahl der Quellenspannungsverläufe minimierbar. Besondere Bedeutung haben dabei sinusförmige Quellenspannungen, da sie sich mittels LC-Schwingkreis einfach und effizient erzeugen lassen. Es lässt sich mathematisch zeigen, dass diese Art von Spannungsverlauf selbst bei nichtidealen Lastkapazitäten wie *MOS*-Kondensatoren (*Gates* von *MOSFET*s) [26] zu guten Wirkungsgraden führt.

Schwieriger dagegen ist die Vermeidung der Verluste beim Entladen, da hierbei die in den Lastkapazitäten gespeicherte Energie wiedergewonnen werden muss. Ausgehend von Landauers Prinzip des Leistungsumsatzes beim Löschen von Information entstehen zwei prinzipielle Möglichkeiten zur Optimierung:

1. Die Verlängerung der zeitlichen Gültigkeit der Eingangssignale bis zum Ende der Ladungswiedergewinnungsphase. Dies führt auf das Konzept der *reversiblen Logik*.

2. Der Einsatz nicht-linearer Elemente wie Freiläufen oder Seilen im (imaginären) mechanischen Aufbau entsprechend Dioden in elektronischen Schaltungen. Dies ermöglicht die Trennung (Entkopplung) von noch umzuladenden und bereits umgeladenen Lastkapazitäten.

Es ist Aufgabe des nächsten Kapitels, diese Ansätze im Einzelnen zu diskutieren.

Um letztlich das Optimierungspotential durch Ladungswiedergewinnung bei gegebenen Randbedingungen wie Bauelementeeigenschaften und geforderter Taktrate bestimmen zu können, erweist sich eine Modellierung der Schalter und Lastkapazitäten als RC-Glieder als sehr geschickt. Dies erlaubt die Anwendung der etablierten Konzepte aus der Wechselstromlehre zur Analyse des Verhaltens, insbesondere des erreichbaren Wirkungsgrads. Gerade gegenüber der in der Digitaltechnik üblichen Verwendung von Zeitbereichssimulationen lassen sich damit deutlich kompaktere Modelle gewinnen.

Kapitel 3

Einführung in die adiabatische Schaltungstechnik

Im vorigen Kapitel wurde dargestellt, wie mittels einer geschickten Wahl der Spannungsverläufe bei Umladevorgängen die in *CMOS*-Gattern zwingend anfallenden Verluste umgangen oder zumindest reduziert werden können. Dieses Kapitel beschäftigt sich nun mit den grundsätzlichen Überlegungen zur schaltungstechnischen Umsetzung von adiabatischen Schaltungsstrukturen. Weiterhin wird eine Übersicht über die in der Literatur vorgeschlagenen Konzepte für adiabatische Logikfamilien gegeben.

3.1 Adiabatisches Umladen

Vergleicht man klassische Logik wie z. B. *CMOS*-Logik mit adiabatischer Logik, so zeigt sich der maßgebliche Unterschied in den Umschaltvorgängen: in klassischer Logik erfolgen Umschaltvorgänge implizit. Das bedeutet, ein Umschaltvorgang tritt dann auf, wenn sich der Zustand eines Netzes ändern soll. Die Logik einer Stufe unterscheidet dabei nicht, ob der Ausgang gerade einen Zustandswechsel durchläuft oder einen stabilen Pegel erreicht hat. Bei adiabatischer Logik muss die Notwendigkeit eines Zustandswechsels dagegen explizit erkannt werden. Der Zustandswechsel wird danach durchgeführt, indem entweder das Ausgangsnetz an eine Spannungsquelle angeschaltet wird, die einen geeigneten Zustandswechsel ausführt, oder bei einer fest angeschalteten Quelle wird der Umladevorgang explizit gestartet. In den meisten Fällen wird eine Quelle dabei von mehreren Lasten geteilt, da der Aufwand für derartige Quellen recht hoch ist (Abschnitt 3.8.3). Die gemeinsame Nutzung einer Spannungsquelle durch mehrere Lasten erfordert jedoch, dass die Lastkapazitäten mittels datenabhängiger Schalter mit der Spannungsquelle verbunden werden. Solange die Steuersignale, also die Eingangssignale der Logikstufe, verfügbar sind, ist dies kein Problem. Normalerweise bilden getaktete Schaltungen jedoch eine *Pipeline*-Struktur, bei der die anliegenden Signale in jedem Takt andere Werte annehmen und daher die Ausgangssignale der Stufe entsprechend verändert werden müssen. Soll ein Ausgang mittels eines datenabhängigen Schalters gesteuert werden, so bestimmt sich der Schaltzustand des Schalters sowohl aus dem bisherigen Ausgangswert o_n wie auch aus

dem neuen, gewünschten Ausgangswert o_{n+1}. Sind o_n und o_{n+1} gleich, so braucht der Ausgangszustand nicht verändert zu werden. Sind o_n und o_{n+1} ungleich, so muss der Ausgang mit einer Quelle verbunden werden, die den gewünschten Zustandswechsel ausführt. Man kann daraus ein 'adiabatisches Element' entwickeln, das die Steuersignale für die Änderung des Ausgangs erzeugt:

Wert o_n	Wert o_{n+1}	Aktion
0	0	keine
0	1	aufladen
1	0	entladen
1	1	keine

Tabelle 3.1: Wahrheitstabelle eines adiabatischen Elements

Gleichzeitig entsteht daraus das zentrale Problem der adiabatischen Schaltungstechnik:

> Wie kann unter Verzicht auf zusätzliches Speichern der Eingangszustände ein Umladevorgang durchgeführt werden, ohne die Eingangszustände aus der vorherigen Taktphase zur Verfügung zu haben?

Der einfachst-mögliche Ansatz ist, die Ausgangssignale wieder als Eingangssignale für den Zustandswechsel zu verwenden; dies funktioniert aber nicht, wie Abbildung 3.1 am Beispiel eines $V_{Out,high}$ nach $V_{Out,low}$-Wechsels zeigt:

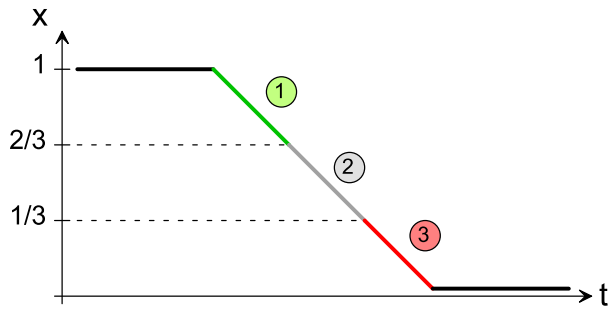

Abbildung 3.1: Umladeproblematik: Der Zustandswechsel beginnt bei logisch '1', durchläuft den verbotenen Bereich und erreicht logisch '0', spätestens dann kann nicht mehr vom Ausgangswert auf den ursprünglichen Zustand geschlossen werden.

1. Solange die Ausgangsspannung größer als $V_{min,high}$ ist, wird zuverlässig eine „1“ erkannt.

2. Die Ausgangsspannung befindet sich im verbotenen Bereich zwischen $V_{max,low}$ und $V_{min,high}$, dieser sollte eigentlich so schnell wie möglich durchlaufen werden, um Querströme in den Gattern zu vermeiden.

3. Die Ausgangsspannung ist kleiner $V_{max,low}$ und wird als logisch „0“ erkannt, obwohl sie eigentlich als „1“ erkannt werden sollte, um den Umladevorgang korrekt abzuschließen.

Letztlich führt dies auf die gleiche Problematik wie bereits im vorigen Kapitel dargestellt, nämlich auf das *Landauersche Prinzip* sowie *Bennetts* Postulat: Informationsverarbeitung ist grundsätzlich auch ohne Leistungsumsatz möglich, solange keine Information *gelöscht* werden muss. Genau dies ist aber der Fall in den meisten Schaltungen, da sie nicht-reversibel sind, aber auch nicht alle Informationen beliebig lange weiterführen sollen. Um dieses Problem zu umgehen, sind im Lauf der Zeit eine Reihe von prinzipiellen Ansätzen vorgeschlagen worden:

- Reversible Logik: Reversible Logik basiert auf der Idee, am Ausgang eines Gatters genügend Information zur Verfügung zu stellen, um auf den Eingangszustand zurückschließen zu können. Damit lässt sich ein vollständig adiabatischer Betrieb realisieren. Dies ist ausführlich in Abschnitt 3.2 dargestellt.

- Retraktile Kaskaden: Da reversible Logik teilweise schwierig umzusetzen ist, entstand eine vereinfachte Form davon, die retraktilen Kaskaden. Im Unterschied zu reversibler Logik wird bei retraktilen Kaskaden der Eingangswert bis zum Abschluss der gesamten logischen Operation beibehalten, auch wenn sich die logische Verknüpfung über mehrere Stufen erstreckt. Retraktile Kaskaden sind im Abschnitt 3.3 dargestellt.

- Teiladiabatische Schaltungen: Wie bereits ausführlich dargestellt, liegt das eigentliche Problem im *Löschen* des Zustands, in einer Schaltung bedeutet dies das Zurückführen von einem aus einer logischen Operation gewonnenen Zustand auf einen definierten Zustand, ohne den Zustand der logischen Operation weiterhin zu kennen. Teiladiabatische Logik umgeht dieses Problem, indem nur der Umladevorgang auf den in der logischen Operation gewonnenen Wert adiabatisch erfolgt, der Löschvorgang erfolgt verlustbehaftet. Daher ist der Wirkungsgrad teiladiabatischer Logik sehr begrenzt und entsprechend wird sie kaum verwendet.

- Ladungsrückgewinnung mit separater Zustandsspeicherung: Wird das adiabatische Prinzip auf eine 'größere' kapazitive Last angewendet (z. B. Netz mit vielen Eingängen oder größerer Leitungslänge), so lohnt es sich durchaus, den Zustand in einem Speicherelement während der Ladungsrückgewinnungsphase abzulegen und das Speicherelement am Ende nicht-adiabatisch zu löschen.

- Eine Alternative zur separaten Zustandsspeicherung ist die Verwendung von Dioden oder Vergleichbarem zur Entkopplung des Ausgangsnetzes von der Umladequelle. Die Diode stellt dabei sicher, dass nur Netze umgeladen werden, die sich nicht bereits in diesem Zustand befinden. Dies ist in Abschnitt 3.6.1 ausführlicher dargestellt.

3.2 Reversible Logik

Das Prinzip reversibler Logik besteht darin, dass am Ausgang jeder Stufe genug Information verfügbar ist, um einen volladiabatischen Entladeprozess durchführen zu können. Als Nachteil entsteht daraus, dass die Datenmenge über die Verarbeitungsstufen hinweg

C	A	B	C	A'	B'
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	**1**	**0**
1	1	0	1	**0**	**1**
1	1	1	1	1	1

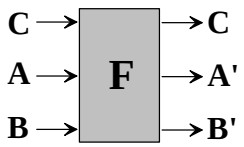

Abbildung 3.2: Wahrheitstabelle und Symbol eines *Fredkin*-Gatters

mindestens gleich bleibt oder zunimmt, da nach jeder Stufe die vollständige Information der vorherigen Stufe vorhanden sein muss sowie die in der Stufe generierte Daten hinzukommen. Daher muss am Ende der Verarbeitungskette ein nicht-reversibler Schritt stehen, in dem die zur Reversibelität erforderliche, aber eigentlich nicht mehr interessante Information entfernt wird.

Grundlage reversibler Logik sind reversible Gatter, wie z. B. das *Fredkin*- bzw. das *Toffoli*-Gatter. Reversible Gatter sind Gatter, bei denen sich aus den Ausgängen auf die Eingangszustände zurückschließen lässt. Das *Fredkin*-Gatter (Abbildung 3.2) wird dabei oft als steuerbares *Vertauschungsgatter* (swap-gate) bezeichnet, da sich die Ausgänge A' und B' gegenüber den Eingängen A und B in Abhängigkeit des Steuereingangs C vertauschen lassen. Mittels Durchschleifens des Steuereingangs bleibt das Gatter reversibel, da aus den Werten der Ausgänge A' und B' sowie dem Wert des Steuersignals C auf die Eingangswerte A und B geschlossen werden kann. Grundlage reversibler Logik sind reversible Gatter, wie z. B. das *Fredkin*- bzw. das *Toffoli*-Gatter. Reversible Gatter sind Gatter, bei denen sich aus den Ausgängen auf die Eingangszustände zurückschließen lässt. Das *Fredkin*-Gatter (Abbildung 3.2) wird dabei oft als steuerbares *Vertauschungsgatter* (swap-gate) bezeichnet, da sich die Ausgänge A' und B' gegenüber den Eingängen A und B in Abhängigkeit des Steuereingangs C vertauschen lassen. Mittels Durchschleifens des Steuereingangs bleibt das Gatter reversibel, da aus den Werten der Ausgänge A' und B' sowie dem Wert des Steuersignals C auf die Eingangswerte A und B geschlossen werden kann.

Das zweite elementare Gatter reversibler Logik ist das *Toffoli*-Gatter (Abbildung 3.3). Das Toffoli-Gatter ist ein steuerbares 'Nicht'-Gatter, d. h. in Abhängigkeit der Eingangszustände kann der Eingang A invertiert oder nicht-invertiert am Ausgang B' erscheinen.

3.3 Retraktile Kaskaden

Im vorigen Abschnitt wurde reversible Logik dargestellt. Bei reversibler Logik kann von den Zuständen der Ausgänge einer Stufe auf die Zustände an den Eingängen zurückgeschlossen werden, dies ermöglicht eine stufenweise Ladungswiedergewinnung. Der Nachteil dabei ist, dass eine Stufe mindestens so viele Ausgänge haben muss, wie sie Eingänge hat,

C_1	C_2	A	C_1	C_2	A'
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	**1**
1	1	1	1	1	**0**

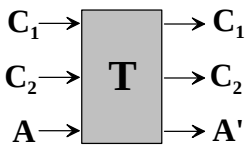

Abbildung 3.3: Wahrheitstabelle und Symbol eines *Toffoli*-Gatters

sofern keine Redundanz zwischen den Eingängen besteht. Dies ist in vielen Fällen unpraktisch, da die meisten logischen Verknüpfungen eine $n:1$-Beziehung darstellen, d. h. aus n Eingängen wird ein Ausgang generiert. Beispiele hierfür sind alle elementaren logischen Verknüpfungen: *und*, *oder*, *exklusiv-oder* sowie auch *nicht*, wobei die Invertierung *nicht* etwas herausfällt, da sie nur einen Eingang besitzt.

Eine Alternative hierzu sind retraktile Kaskaden. Retraktile Kaskaden führen eine blockweise Ladungswiedergewinnung durch, indem sie die Eingangssignale solange unverändert halten, bis die erste Stufe der Kaskade den Ladungs*wiedergewinnungs*prozess abgeschlossen hat. Entsprechend besteht eine retraktile Kaskade aus mehreren Logikstufen, die nacheinander ihre logischen Verknüpfungen ausführen, bis die letzte Stufe den Berechnungsvorgang abgeschlossen hat. Damit sind alle Stufen gültig, das Ergebnis kann in ein Ausgangsregister übernommen werden. Danach beginnt die Ladungswiedergewinnungsphase, die Stufen werden in umgekehrter Reihenfolge entladen. Am Ende befinden sich alle Stufen wieder in ihrem Grund- oder Ruhezustand und sind bereit für einen neuen Zyklus. Die Ausgänge der letzten Stufe sind durch dieses Konzept allerdings nur für einen Takt gültig. Ein derartiger Zyklus ist in den Abbildungen 3.4 bis 3.9 dargestellt.

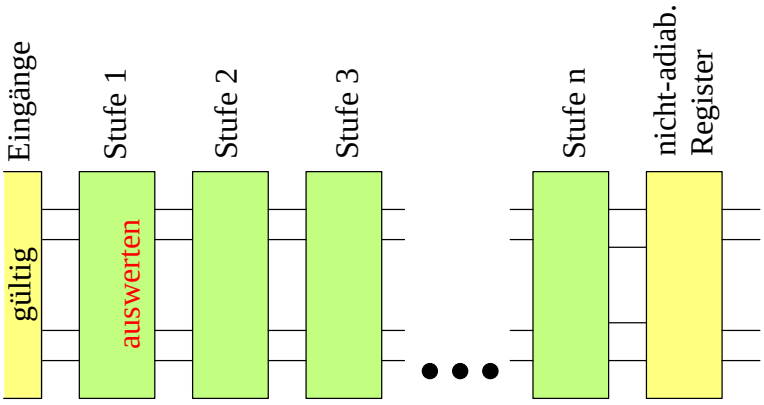

Abbildung 3.4: Sobald die Eingänge gültig sind, kann die erste Stufe der Kaskade ihre Berechnung durchführen

Am Ende einer retraktilen Kaskade muss daher immer eine nicht-retraktile Stufe stehen,

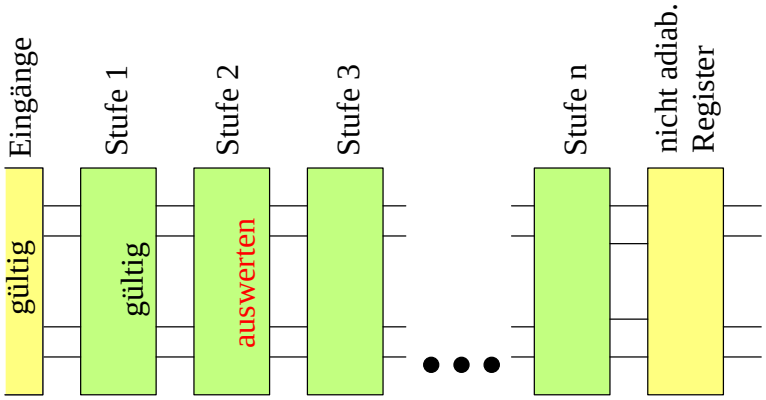

Abbildung 3.5: Danach werden alle weiteren Stufen ausgewertet

die die Ergebnisse speichert, während die Zwischenstufen der retraktilen Kaskade wieder in den Grundzustand zurückgeführt werden.

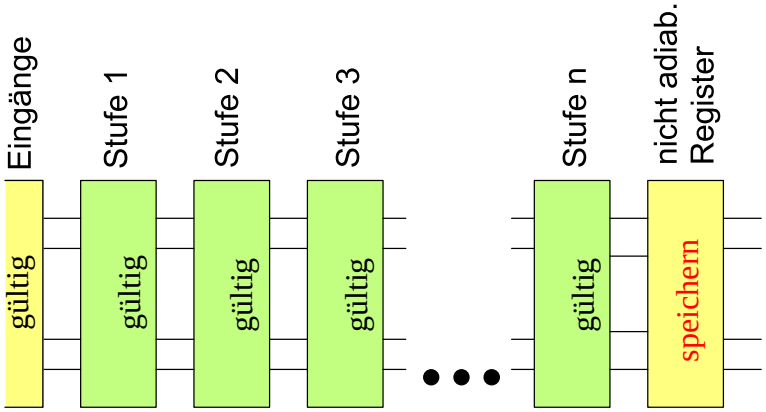

Abbildung 3.6: In Takt n wird das Ergebnis in ein nicht-adiabatisches Register übernommen

Der große Nachteil retraktiler Kaskaden ist, dass sie erst nach Abschluss eines Zyklus' wieder neue Eingangswerte annehmen können, das bedeutet, dass eine Kaskade von n Stufen $2*n-1$ Verarbeitungsschritte braucht, um einen Zyklus zu durchlaufen. Zwar steht das Ergebnis bereits nach n-Schritten bereit, dennoch kann die Kaskade erst nach $2*n-1$ Verarbeitungsschritten wieder neue Eingangswerte verarbeiten. Daher sind retraktile Kaskaden bezüglich ihrer Verarbeitungsleistung gegenüber 'echten' Pipeline-Strukturen sehr ineffektiv.

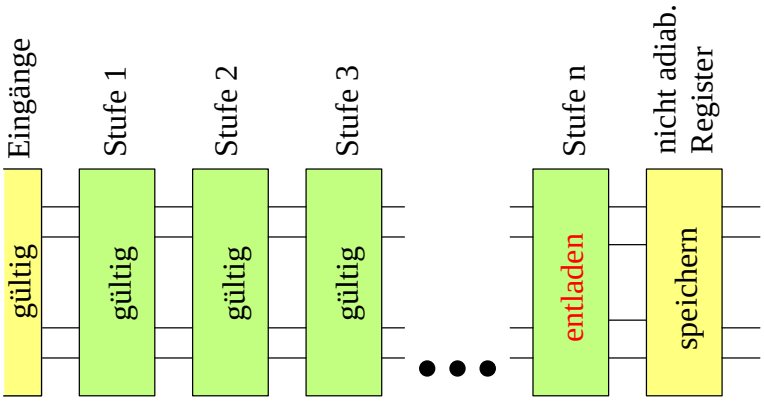

Abbildung 3.7: Die letzte Stufe beginnt mit der Ladungswiedergewinnung

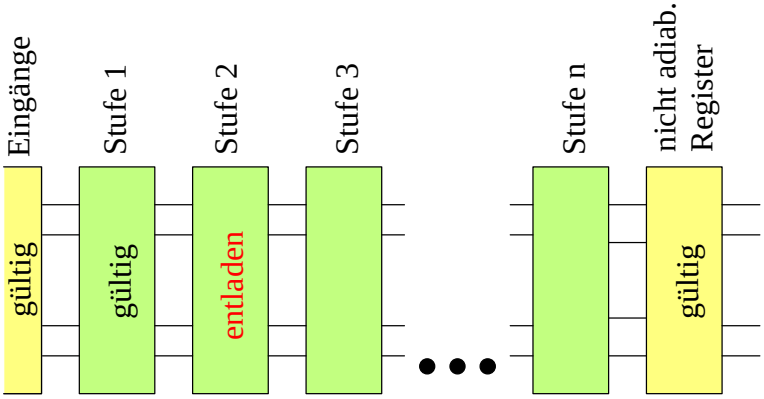

Abbildung 3.8: Die Ladungswiedergewinnung erfolgt dabei in umgekehrter Reihenfolge wie die eigentlichen Berechnungsschritte

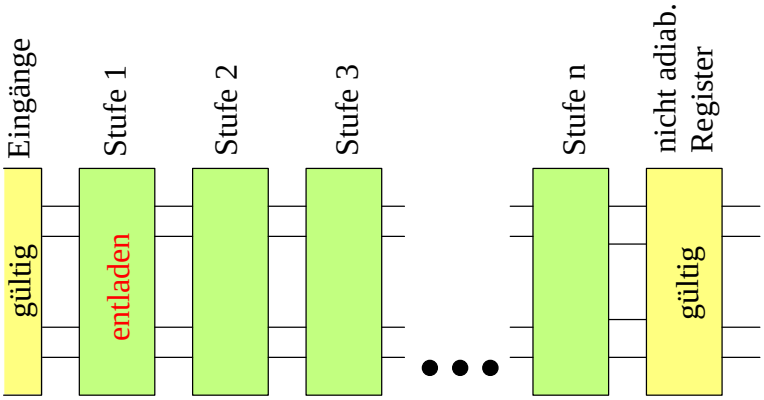

Abbildung 3.9: Der Ladungswiedergewinnungsvorgang wird mit dieser Stufe abgeschlossen, danach befinden sich alle Stufen im Grundzustand

3.4 Adiabatische Logikfamilien

Ein anderer Ansatz wird mit adiabatischen Logikfamilien verfolgt. Diese versuchen ein möglichst gutes Verhältnis zwischen wiedergewonnener Energie und eingespeister Energie zu erzielen. Im Lauf der Zeit sind viele adiabatische Logikfamilien vorgeschlagen worden. Diese lassen sich grundsätzlich in drei Klassen einteilen. Dazu untersucht man das Verhalten der Schaltung für einen Lade-/ Entladezyklus mit der Dauer $T \rightarrow \infty$:

1. Teiladiabatische Schaltungen: In diesen Schaltungsstrukturen wird nur ein Teil der Umladevorgänge adiabatisch durchgeführt, z. B. durch kontrolliertes Aufladen. Der andere Teil der Schaltvorgänge erfolgt hart-schaltend ohne Verlustminimierung.

2. Quasiadiabatische Schaltungen: In diesen Schaltungsprinzipien entstehen Spannungsdifferenzen durch Schwellspannungen oder Ähnliches, die selbst bei sehr kleinen Strömen noch vorhanden sind.

3. Volladiabatische Schaltungen: In diesen Schaltungsstrukturen treten nur stromabhängige Verluste auf, z. B. ohmsche Verluste. Verlangsamt man den Lade-/ Entladezyklus, so verringern sich die Verluste. Bei einem unendlich langsamen Lade-/ Entladezyklus fallen gar keine Verluste mehr an.

3.5 Dynamische adiabatische Logikfamilien

Im Nachfolgenden soll eine Übersicht über die in der Literatur vorgestellten *dynamischen* adiabatischen Logikfamilien gegeben werden. Dynamische Logikfamilie bedeutet, dass die Gatter in jedem Zyklus des Leistungstakts eine Ladungswiedergewinnungsphase oder Vorladephase durchführen, unabhängig davon, ob tatsächlich ein Zustandswechsel erfolgen wird oder erfolgt ist. Dies führt dazu, dass das Ausgangssignal der Gatter für einen der Pegel nicht konstant ist, sondern synchron mit dem Leistungstakt pulst, sofern der Ausgang diesen Zustand annehmen soll.

In den nachfolgen Abschnitten werden folgende dynamische adiabatische Logikfamilien im Einzelnen dargestellt:

Logikfamilie	Abschnitt	Seite
Efficient Charge Recovery Logic (ECRL)	3.5.1	41
True Single-Phase Energy-Recovery Logic (TSEL)	3.5.2	43
Improved Pass-Gate Adiabatic Logic (IPGL)	3.5.3	43
2N-2N2D-Logik	3.5.4	44
Adiabatic Dynamic Logic (ADL)	3.5.5	45
Clocked Adiabatic Logic (CAL)	3.5.6	45
Source-coupled Adiabatic Logic (SCAL)	3.5.7	46
Dynamic Adiabatic MOS (DAMOS)	3.5.8	46
Adiabatic Pseudo-Domino Logic (APDL)	3.5.9	46
Clock-powered CMOS	3.5.10	48
Dual-Rail Logic	3.5.11	49
Reversible Energy Recovery Logic (RERL)	3.5.11	50

3.5.1 Efficient Charge Recovery Logic (ECRL), *2N2P*-Logik

Die ECRL-Logik [25] wird oft auch als *2N2P*-Logik bezeichnet, da das Grundelement aus zwei nMOS- und zwei pMOS-Transistoren besteht. Da die Grundidee hinter der *ECRL*-Logik in vielen anderen adiabatischen Logikfamilien weiterverwendet wird, soll sie ausführlicher dargestellt werden. Die *nMOS*-Transistoren spiegeln das logische Verknüpfungsnetzwerk wider, dies kann auch umfangreicher sein; es muss aber zwischen den beiden Zweigen komplementär sein.

Als Startbedingung wird angenommen, dass der *In+*-Eingang auf 1 und der *In-*-Eingang auf 0 liegt. Das Taktsignal hat ferner gerade sein Minimum und damit ungefähr $0V$; es ist auch keine Ladung in der Schaltung gespeichert.

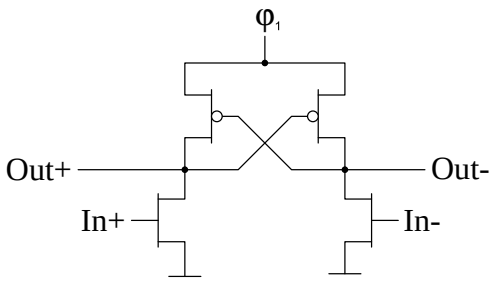

Abbildung 3.10: Inverter in *2N2P* Logic

Am Anfang des Zyklus im Diagramm 3.11 ist die Spannung des Taktsignals kleiner als die Schwellspannung der *pMOS*-Transistoren. Sobald die Schwellspannung $v_{th,pMOS}$ erreicht ist, beginnt in beiden Zweigen der Schaltung ein Strom zu fließen, dies ist deutlich an den Stromverläufen zu erkennen. Da der *In+*-Eingang auf 1 liegt, ist der Transistor M_2 durchgeschaltet, folglich verändert sich die Spannung am *Out-*-Ausgang nicht wesentlich. Die Spannung am *Out+*-Ausgang steigt dagegen, da der Transistor M_4 im *cut-off* ist, wodurch die Spannung am Gate von M_1 ebenfalls steigt, der Transistor kommt wieder in den *cut-off*, während das Netz *Out-* weiter aufgeladen wird. Nach Durchlaufen des Maximums wird das Netz *Out-* wieder entladen, bis die Schwellspannung $v_{th,pMOS}$ von M_3

unterschritten wird. Damit verbleibt ein Teil der Ladung $c_{Rest} = C_{Netz,Out-} \cdot v_{th,pMOS}$ im *ECRL*-Gatter gespeichert. Diese verbleibende Ladung wird nur im Falle einer Änderung der Eingangswerte, die auch zu einer Änderung des Ausgangszustands führt, entladen. Daher ist die Leistungsaufnahme von *ECRL*-Gattern teilweise abhängig von der Schaltaktivität.

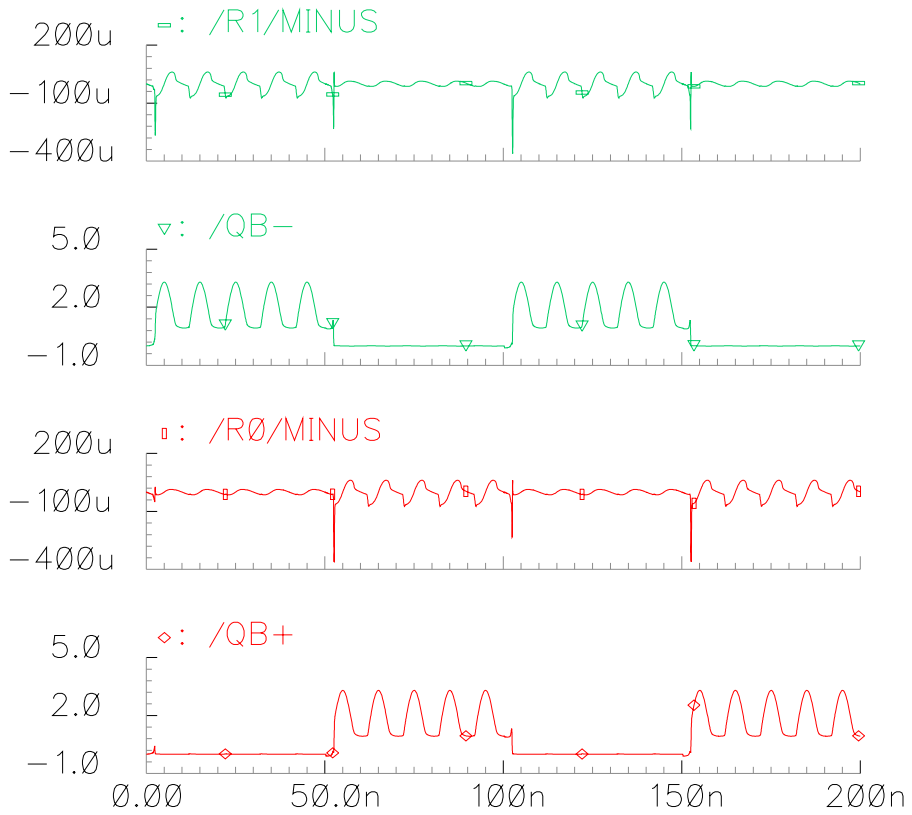

Abbildung 3.11: Spannungsverläufe für einen Lade-/ Auswertzyklus in *2N2P*-Logik. Der Strom $R0/PLUS$ gehört zum Zweig $B+$, der Strom $R1/PLUS$ gehört zum Zweig $B-$.

Durch die Dimensionierung muss sichergestellt werden, dass im Falle des Einschaltens sowohl des *nMOS*- (bzw. der *nMOS*-Transistoren bei komplexeren Gattern) wie auch des *pMOS*-Transistors die Spannung am Mittelabgriff klein genug bleibt, sodass der *pMOS*-Transistor im anderen Zweig abgeschnürt wird. Folglich können die Leitwerte der Transistoren nicht beliebig groß gewählt werden, weswegen trotz der einfachen Struktur die Schaltgeschwindigkeit begrenzt ist.

ECRL-Logik benötigt einen Phasenversatz von 90° im Taktsignal zwischen den einzelnen Stufen, da die Eingangssignale während der Taktflanken stabil sein müssen. Daher wird ECRL-Logik in der Regel mit einem Vierphasentakt betrieben. Ein *ECRL-pMOS*-Gatter liefert keinen statischen '1'-Pegel am (aktiven) Ausgang, sondern der Ausgang wird in jedem Taktzyklus auf- und wieder entladen, was zu einer entsprechend höheren Blindleistung führt. Entsprechend liefert ein *ECRL-nMOS*-Gatter keinen statischen '0'-Pegel.

Die Stärke von *ECRL*-Logik liegt vor allem im einfachen Aufbau. Nachteilig ist die hohe

Blindleistung für die Quelle, da die Logikstufen je nach Zustand teilweise in jedem Taktzyklus auf- und wieder entladen werden, was zu entsprechenden Verlusten führt. Zudem sind die Pegel nicht direkt *CMOS*-kompatibel.

3.5.2 True Single-Phase Energy-Recovering Logic (TSEL)

Eine Erweiterung von *RERL*- oder *2N2P*-Logik ist die Logikfamilie *TSEL* [13], das Schaltbild eines Inverters ist in Abbildung 3.12 wiedergegeben. Hierbei werden zwei zusätzliche *MOSFET*s in Reihe mit der Speicherstruktur geschaltet, diese haben die Aufgabe, den Strom durch die gegengekoppelte Struktur zu begrenzen, solange einer der beiden Zweige noch nicht soweit entladen ist, dass die gegengekoppelte Struktur sperrt. Dadurch lässt sich in der Auswertphase die Leistungsaufnahme verringern. Ein Vergleich der Leistungsaufnahme zwischen *TSEL* und anderen Logikfamilien ist in Abbildung 3.13 dargestellt.

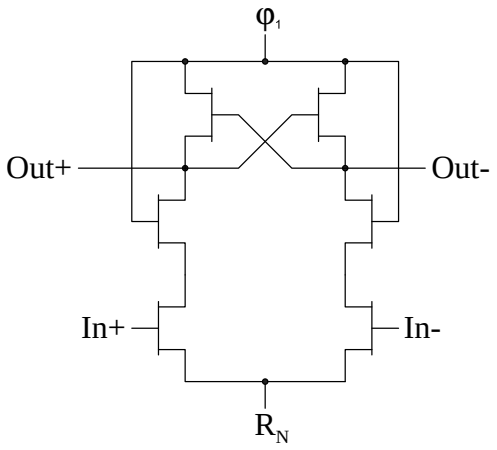

Abbildung 3.12: Inverter in *TSEL*-Logik

3.5.3 Improved Pass-gate Adiabatic Logic (IGPL)

Ebenfalls eine Erweiterung der ECRL ist die Improved Pass-Gate Adiabatic Logic [36]. Diese basiert auf dem gleichen gegengekoppelten Speicherelement wie *ECRL*-Logik, verwendet aber zusätzliche Logikblöcke zum Umladen. Ein Inverter in *IGPL*-Logik ist dargestellt in Abbildung 3.14. Die mit F bzw. F^{-1} markierten Blöcke sind die logischen Verknüpfungsnetzwerke, $Q0+$ und $Q0-$ die Ausgänge. Zusätzlich stehen die Eingänge $Q1+$ und $Q1-$ zur Verfügung, über diese kann die Ladungswiedergewinnungsphase verbessert werden, wenn von der nachfolgenden Stufe geeignete Signale zurückgeführt werden können. Andernfalls können diese Eingänge einschließlich der Transistoren entfallen, dies reduziert jedoch den Wirkungsgrad.

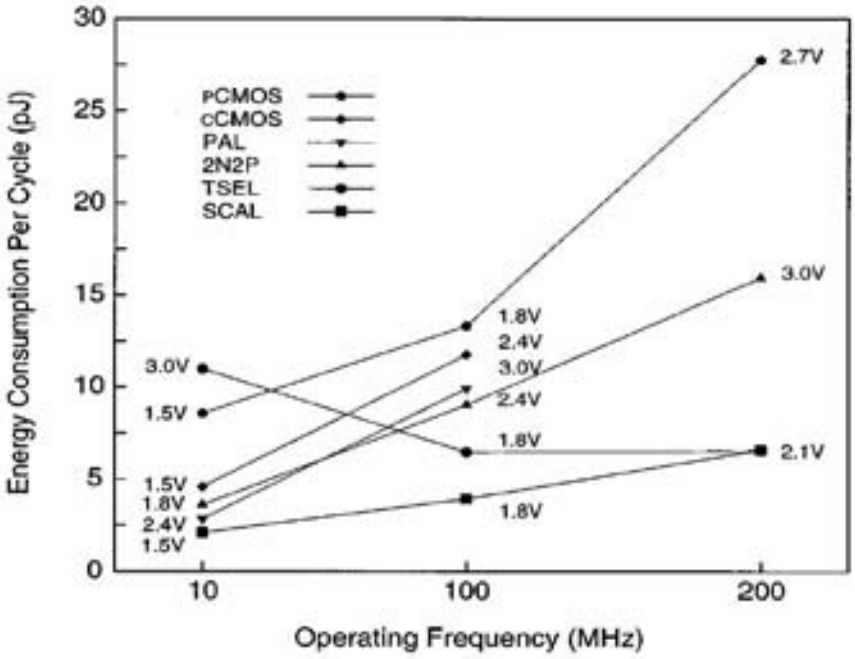

Abbildung 3.13: Vergleich des Wirkungsgrads von *TSEL*-Logic mit anderen Logikfamilien (*cCMOS* ist hierin das normale, komplementäre *CMOS*)

3.5.4 2N-2N2D-Logik

Eine Weiterentwicklung von *ECRL* bzw. *2N2P*-Logik ist die *2N-2N2D* Logik [8]. Der Name leitet sich von der um zwei zur Ladungswiedergewinnung eingesetzten zusätzlichen Dioden ab, die Struktur einer *2N-2N2D*-Logikstufe ist in Abbildung 3.15 wiedergegeben. Die Dioden haben in dieser Schaltung die Aufgabe, nach der *Evaluate*-Phase, in der eines der beiden Ausgangsnetze datenabhängig entladen worden ist, dieses Netz wieder aufzuladen. Dabei wird durch die Dioden sichergestellt, dass das andere Netz unverändert bleibt.

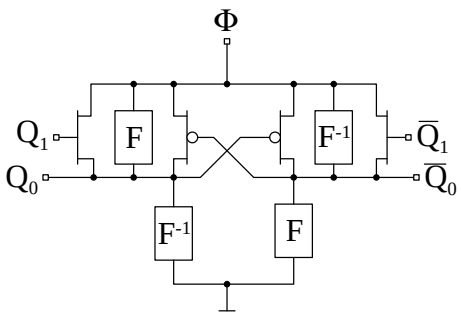

Abbildung 3.14: Inverter in *IGPL*-Logik

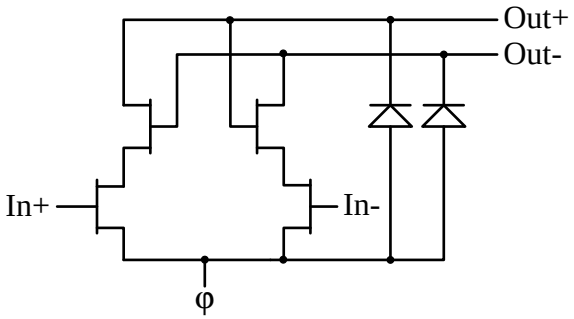

Abbildung 3.15: Inverter in *2N-2N2D*-Logik

3.5.5 Adiabatic Dynamic Logic (ADL)

Die Logikfamilie ADL [9] ist eine quasiadiabatische Logikfamilie. Der Aufladevorgang erfolgt mittels eines *Pass*-Transistors oder einer Zusammenschaltung aus *Pass*-Transistoren. Die Ladungswiedergewinnung erfolgt mittels einer Diode. *ADL* ist eine dynamische Logik vergleichbar mit Domino-Logik, d. h. es erfolgt in jedem Zyklus eine Ladungswiedergewinnung. Der große Vorteil von *ADL* ist der sehr einfache Aufbau, ein *ADL*-Logikgatter benötigt sogar weniger Transistoren als ein *CMOS*-Gatter, da nur der *pMOS* oder der *nMOS*-Teil implementiert werden muss, der andere Teil wird durch die Diode ersetzt. Das Schaltbild eines *ADL*-Inverters ist in Abbildung 3.16 dargestellt.

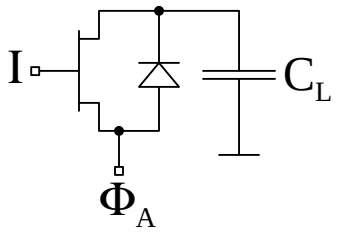

Abbildung 3.16: Inverter in Adiabatic Dynamic Logic (*ADL*)

3.5.6 Clocked Adiabatic Logic (CAL)

CAL [22, 21] ist eine quasiadiabatische Logikfamilie, die Schaltungsstruktur ist in Abbildung 3.17 dargestellt. Dabei wird ein Teil des Spannungshubs – bis zum Erreichen der Schwellspannungen der *MOSFET*s – nicht-adiabatisch, d. h. mittels einer Stromquelle realisiert, der Rest des Umladevorgangs erfolgt dann durch einen Umladetakt. Entsprechend ist der Wirkungsgrad abhängig von der Schaltaktivität des Eingangssignals. In der Literatur wird von einer Verdopplung der Verlustleistung zwischen keiner Eingangsaktivität und maximaler Eingangsaktivität berichtet.

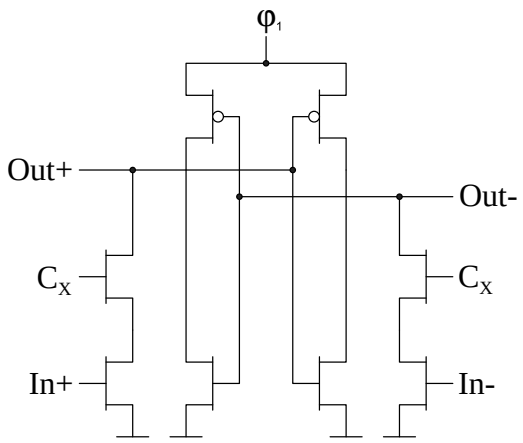

Abbildung 3.17: Grundelement der Logikfamilie *CAL*

3.5.7 Source-coupled Adiabatic Logic (SCAL)

Die Logikfamilie *SCAL* [12] ist eine Erweiterung der Logikfamilie *TSEL*. Dabei wird ein Teil des Spannungshubs – bis zum Erreichen der Schwellspannungen der *MOSFET*s – nicht-adiabatisch, d. h. mittels einer Stromquelle realisiert, der Rest des Umladevorgangs erfolgt dann durch einen Umladetakt. Die Schaltung eines SCAL-Inverters basierend auf *NMOS*-Transistoren ist in Abbildung 3.18 dargestellt, die Schaltung eines SCAL-Inverters aus *PMOS*-Transistoren ist in Abbildung 3.19.

3.5.8 Dynamic Adiabatic MOS (DAMOS)

DAMOS ist eine Logikfamilie mit einem Grundkonzept ähnlich dem von *SCAL* oder *SCAL-D*, allerdings als unäre Logik, d. h. als einfache Struktur ohne komplementären Ausgang. Ein Logikgatter wird dabei in jedem Taktzyklus bei entsprechendem Zustand der Eingangsvariablen aufgeladen und anschließend wieder entladen. Das Aufladen geschieht über ein logisches Verknüpfungsnetzwerk, das Entladen über einen als Diode geschalteten *MOS*-Transistor.

3.5.9 Adiabatic Pseudo-domino Logic (APDL)

Eine weitere zu *SCAL-D* ähnliche Logikfamilie ist die *Adiabatic Pseudo-Domino Logic (APDL)* [38], das Schaltbild eines *APDL*-Inverters ist in Abbildung 3.20 wiedergegeben. Diese Logikfamilie setzt ebenfalls Dioden zum Erreichen des Grundzustands (Nachladephase) ein. Der eigentliche Auswertvorgang erfolgt dann in Abhängigkeit des Eingangssignals:

- Ist der Eingang 1, so wird der zugehörige *MOSFET* durchgeschaltet und das Netz des invertierten Ausgang entladen.

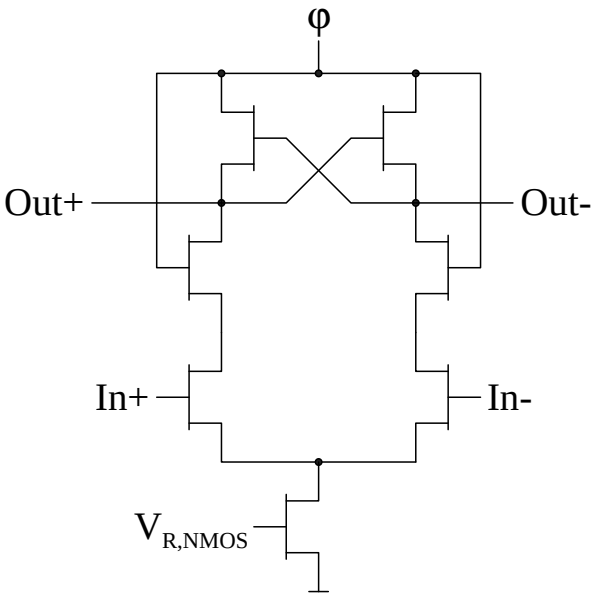

Abbildung 3.18: Inverter (NMOS) in *SCAL*-Logik

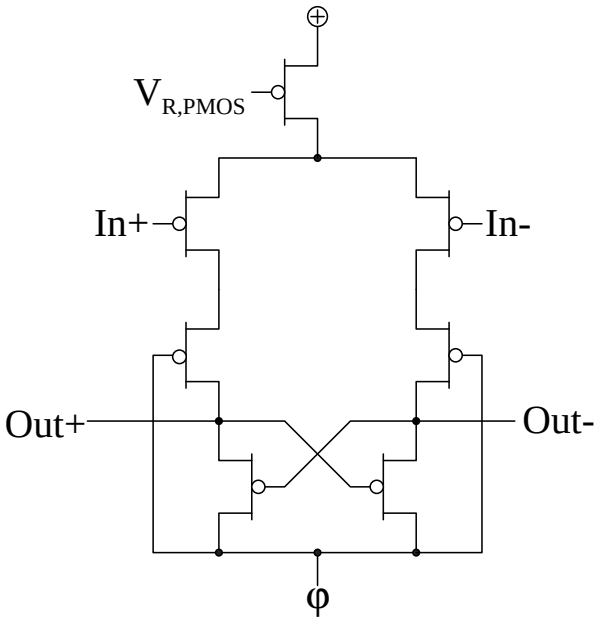

Abbildung 3.19: Inverter (PMOS) in *SCAL*-Logik

- Ist der Eingang 0, so bleibt der Eingangszweig gesperrt, und das Netz des nicht-invertierten Ausgangs wird über den entsprechenden *MOSFET* entladen.

Durch geeignete Dimensionierung oder geeignete Wahl der Schwellspannungen der beiden *MOSFET*s muss dabei sichergestellt werden, dass im Falle des durchgesteuerten Eingangstransistors das Netz des invertierten Ausgangs schneller entladen wird. Laut [38] erreicht *APDL* bei $V_{dd} = 5V$ eine Einsparung bei der Leistungsaufnahme von etwa 22% gegenüber *2N-2N2D*-Logik.

Eine Besonderheit von *APDL* ist, dass nur ein Eingangssignal benötigt wird, während bei den meisten anderen adiabatischen Logikfamilien sowohl das normale als auch das invertierte Eingangssignal benötigt werden.

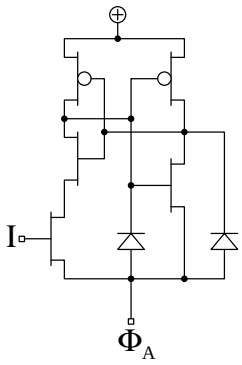

Abbildung 3.20: Inverter in *APDL*-Logik

3.5.10 Clock-powered CMOS

Die Logikfamilie *Clock-powered CMOS* [35] verwendet ein besonderes Konzept zur Ladungswiedergewinnung, eine Art Ladungspumpe. Das Schaltbild eines *CLP*-Inverters ist in Abbildung 3.21 wiedergegeben. Die Betriebsweise dieses Gatters kann folgendermaßen dargestellt werden:

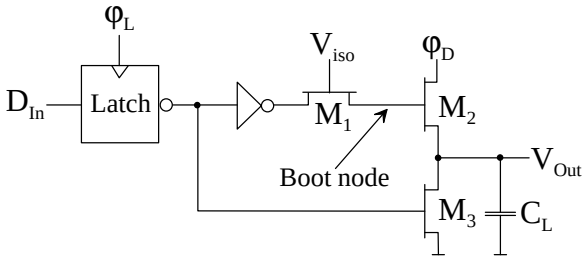

Abbildung 3.21: Inverter in *Clock-powered CMOS*

- Der Ausgang soll $V_{Last} = V_{OL}$ sein: In diesem Fall leitet M_3, der Ausgang wird daher konstant gegen Null geschaltet; das *Gate* von M_2 wird durch den Inverter I_1 auf $V_{GS,M_2} = 0V$ vorgeladen, damit ist der Transistor gesperrt.

- Der Ausgang soll $V_{Last} = V_{OH}$ sein: In diesem Fall ist M_3 gesperrt, das *Gate* von M_2 wird durch den Inverter I_1 auf $V_{G,M_2} = V_{dd}$ vorgeladen, damit wird der Transistor aufgesteuert. Ein Strom fließt jedoch zum Zeitpunkt t_1 noch nicht, da die Spannung des Taktsignals Ω_D zum Zeitpunkt t_1 null ist, ebenso wie die Spannung an der Last.

Während der Lade-/ Entladephase der Last bleibt die Spannung über den Transistor M_2 nahe null, der Transistor ist die gesamte Zeit aufgesteuert, eine Spannungsdifferenz entsteht nur durch den Kanalwiderstand. Daher kann im Ersatzschaltbild der Transistor M_2 durch den Kanalwiderstand $R_{DS,On}$ ersetzt werden und die *Gate-Source* mit der *Gate-Drain*-Kapazität zusammengefasst werden zur *Gate*-Kapazität C_G.

Der eigentliche Lade-/Entladezyklus für den Ausgangpegel $V_{Last} = V_{OH}$ teilt sich in vier Teile:

1. Zum Zeitpunkt t_1 ist das *Gate* des Transistors M_2 auf $V_{G,M_2} = V_{dd}$ vorgeladen, *MOSFET* M_1 ist bereits gesperrt, das *Gate* von M_2 bildet einen Ladungsspeicher. Die Last C_L ist entladen, d. h. $C_L = V_{OL}$.

2. Zum Zeitpunkt t_2 ist aufgrund der kapazitiven Durchkopplung durch die Kanal-/ *Gate*-Kapazität von M_2 die Spannung am *Gate* von M_2 auf $V_{G,M_2} = V_{dd} + V_{\phi_D,H}$ gestiegen, das heißt: obwohl die *Drain*-Spannung von M_2 die maximale Spannung des Takts ϕ_D ist, bleibt M_2 durchgesteuert. Die Lastkapazität C_L wurde vom Takt ϕ_D auf die maximale Spannung aufgeladen, $V_{C_L} = V_{\phi_D,H}$.

3. Zum Zeitpunkt t_3 ist Spannung des Takts ϕ_D wieder null, entsprechend hat sich die Spannung am *Gate* von M_2 wieder auf $V_{G,M_2} = V_{dd}$ verringert. Die Lastkapazität C_L wurde durch den Takt ϕ_D auf die minimale Spannung entladen, $V_{C_L} = V_{\phi_D,H}$.

Ein Energieumsatz entsteht jedoch für die *Gate*-Kapazität von M_2 sowie für M_3, den Inverter I_1 und das *Latch*, da diese Komponenten hartschaltend ohne Ladungswiedergewinnung arbeiten. Da das *Gate* des Transistors M_2 einen Ladungsspeicher bildet, kann eine Logikstufe in *Clock-powered CMOS* nicht statisch den Ausgangspegel auf $V_{Last} = V_{OH}$ halten, der Ausgang muss deswegen zyklisch wieder auf- und entladen werden. Dies begrenzt erheblich die Verwendbarkeit dieses Konzepts, da es sich dadurch nur für Netze mit hoher Schaltaktivität eignet (bzw. für Netze, bei denen einer von beiden Zuständen in der Regel nur einen oder einige Takte lang andauert), andernfalls entsteht eine unnötige Blindleistung mit entsprechenden Verlusten.

3.5.11 Dual-Rail Logic

Die *Dual-Rail Logic* [2] ist eine vom theoretischen Ansatz her sehr interessante Logik, da hier versucht wird, reversible Logikstufen aufzubauen. Hierzu teilt sich jede Stufe in zwei Teile, ein Teil ist für den Aufladevorgang zuständig, der andere Teil für den Entladevorgang. Die prinzipielle Struktur ist in Abbildung 3.22 dargestellt, eine Zusammenschaltung mehrerer Gatter in Abbildung 3.23. Diese Struktur ist von der reversiblen Logik übernommen und ermöglicht die Verwendung von Gattern als Entladepfad für die Lasten am Ausgang des Gatters.

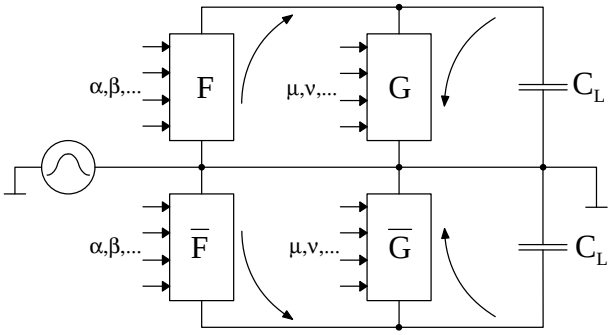

Abbildung 3.22: Grundstruktur eines Gatters in *Dual-Rail Logic*

Da *Dual-Rail Logic Pass-Gates* als Schalter verwendet, besteht jedes Gatter aus der normalen Funktion und dem zugehörigen Komplement; damit lassen sich direkt die Transistoren des nächsten Stufe ansteuern, ohne dass weitere Inverter erforderlich wären.

Als Beispiel für die Realisierung einer Schaltung in *Dual-Rail Logic* wurde in [2] ein 3-bit *Ripple-Carry* Addierer entworfen, das Blockschaltbild dafür ist in Abbildung 3.24 wiedergegeben.

Vergleicht man die Anzahl an Gattern eines *CMOS*-Addierers mit der Gatteranzahl eines Addierers in *Dual-Rail*-Logik, so werden für den Addierer in *Dual-Rail Logic* deutlich

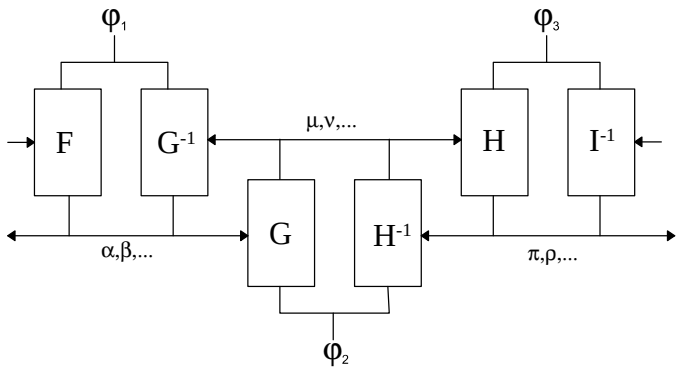

Abbildung 3.23: Kaskade in *Dual-Rail Logic*

mehr Gatter benötigt, dazu kommt der Mehraufwand für die *Pass-Gate*-Implementierung sowie die normale und komplementäre Implementierung.

Für den 3-bit *Ripple-Carry* Addierer liegen keine Ergebnisse für den erreichten Wirkungsgrad vor, jedoch für ein anderes Design ebenfalls in *Dual-Rail Logic*. Bei diesem Design handelt es sich um ein Schieberegister, hier wurde ein Wirkungsgrad von $82,6\%$ bei 63 kHz erreicht[2]. Allerdings ist ein Schieberegister eine günstigere Struktur, da dies nur Verzögerungselemente sind, d. h. die in Abbildung 3.24 mit Doppelpfeil gekennzeichneten Blöcke. Gegenüber einer *CMOS*-Implementierung sind daher keine zusätzlichen Gatter erforderlich. Der bei dem dargestellten Addierer zu erwartende Wirkungsgrad ist folglich geringer.

Aus dem Blockschaltbild ist ersichtlich, dass von den sieben Eingangssignalen vier durchgeschleift werden müssen, um die für die Entladepfade notwendigen Signale zur Verfügung zu haben. Durch das Durchführen der meisten Eingangssignale wird das grundsätzliche Problem der Realisierung reversibler Gatter umgangen. Die vorgeschlagene Schaltung kann daher eigentlich nur als teil-reversibel eingestuft werden.

Reversible Energy Recovery Logic (RERL) Eine Weiterentwicklung der *Dual-Rail Logic* ist die *Reversible Energy Recovery Logic* [16, 17]. Dabei wird die eigentliche Schaltungsstruktur nicht verändert, dafür aber das Taktschema. Interessant ist ein in [16] dargestellter Vergleich zwischen dem Wirkungsgrad der Logikfamilie *RERL*, der im vorigen Abschnitt dargestellten *Dual-Rail*-Logik sowie *CMOS*-Logik. Dies ist in Abbildung 3.25 wiedergegeben.

Zwar weisen sowohl die *Dual-Rail Logic* wie auch die *Reversible Energy Recovery Logic* prinzipiell gute Wirkungsgrade auf, allerdings erkauft man sich dies mit einem erheblichen Mehraufwand in der Schaltung.

3.5.12 Wirkungsgradvergleiche

Für den Vergleich der Wirkungsgrade innerhalb einiger der dargestellten adiabatischen Logikfamilien ist im Folgenden das Diagramm Abbildung 3.26 wiedergegeben. Das Dia-

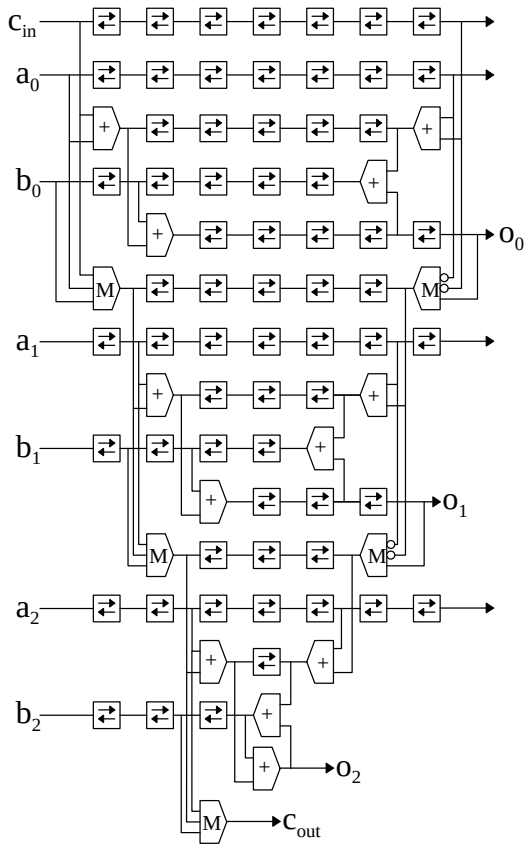

Abbildung 3.24: Blockschaltbild eines 3-bit-*Ripple-Carry*-Addierers in *Dual-Rail Logic*; die Blöcke mit Doppelpfeil sind Verzögerungsglieder (Puffer), die mit „M“ gekennzeichneten Blöcke sind Majoritätsgatter sowie die mit „+“ markierten Blöcke sind *XOR*-Gatter

.

gramm stellt die Ladungsaufnahme pro Arbeitszyklus als Funktion der Arbeitsfrequenz und Versorgungsspannung für verschiedenen dynamischen adiabatischem Logikfamilien gegeneinander.

3.6 Statische adiabatische Logik

Im vorigen Abschnitt wurde dynamische adiabatische Logik dargestellt, also Logikfamilien bei denen am Ende jeder Taktphase eine Ladungswiedergewinnungsphase durchgeführt wird, unabhängig davon, ob tatsächlich ein Zustandswechsel erfolgt ist. In der Literatur wurden alternativ auch statische Logikfamilien vorgestellt, also Logikfamilien, die nur bei einem tatsächlich erforderlichen Zustandswechsel ihre Ausgangszustände ändern.

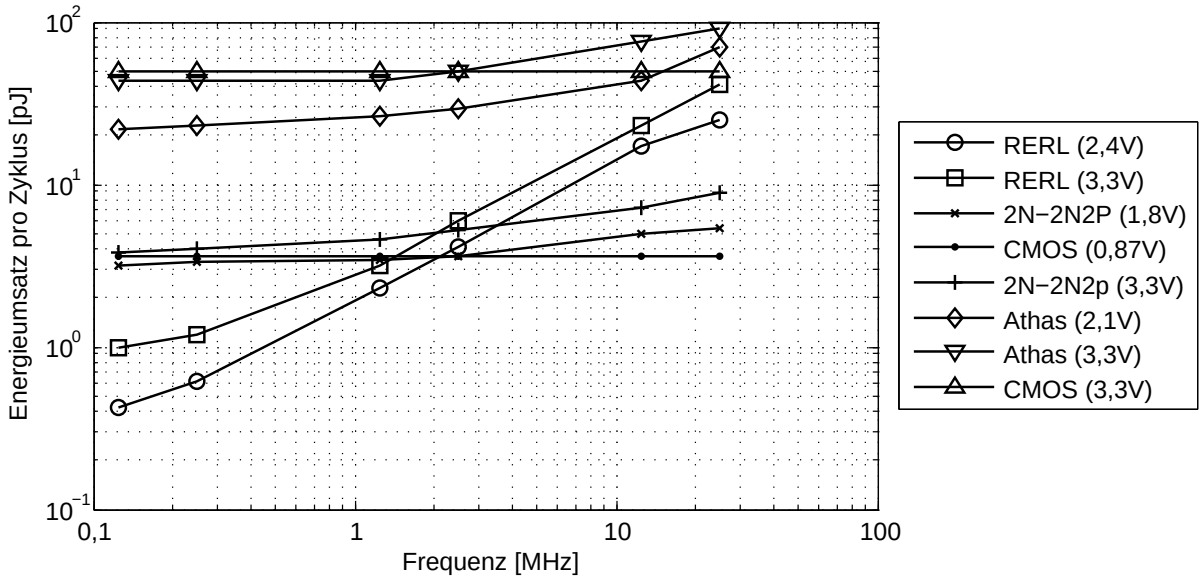

Abbildung 3.25: Vergleich zwischen den Logikfamilien *RERL*, *Dual-Rail*-Logik („Athas“) und *CMOS*-Logik

3.6.1 Quasi-Static Energy Recovery Logic (QSERL)

Als Ansatz hinter der Logikfamilie *QSERL* [40, 41] steht das Konzept von *CMOS*-Logik: Der große Vorteil von *CMOS*-Logik besteht darin, dass nur Leistung beim Umschalten/ Umladen benötigt wird (unter Vernachlässigung von Leckströmen). Dieses Konzept liegt auch der Logikfamilie *QSERL* zu Grunde: Ein Umladevorgang erfolgt nur, wenn tatsächlich eine Änderung des Ausgangszustands erforderlich ist, ansonsten verhindern die Dioden weitere Umladevorgänge.

Entscheidend in *QSERL*-Logik ist, dass die Schaltvorgänge der *Pass-Gates* und die Umladevorgänge synchronisiert erfolgen. Die logische Funktion wird dabei durch die *Pass-Gates* realisiert, mittels derer der Ausgang der jeweiligen Stufe datenabhängig umgeladen werden kann. Dadurch verdoppelt sich der Aufwand an Transistoren gegenüber einer *CMOS*-Realisierung, da die *Pass-Gates* in der Lage sein müssen, den vollen Versorgungsspannungsbereich abzudecken und daher aus einem *nMOSFET* und einem *pMOSFET* zusammengeschaltet werden müssen. Zudem wird in den meisten Fällen die Schaltungsstruktur doppelt als normale und invertierte Logik realisiert werden, um die notwendigen Steuersignale für die *Pass-Gates* zu erhalten. Hierdurch entsteht zusätzlicher Mehraufwand, der allerdings nicht unbedingt zu einer weiteren Verdoppelung der Transistorzahl führen muss, da dadurch gegebenenfalls notwendige Inverter eingespart werden können. Die Struktur mehrerer hintereinandergeschalteter Logikgatter in *QSERL* ist in Abbildung 3.27 dargestellt.

Um die Verluste bzw. den Wirkungsgrad bestimmen zu können, kann der durch die Flussspannung entstehende zusätzliche Verlust berechnet werden:

$$E_{Diode} = C_{Last}\,(V_{dd} - V_{t,Diode})\,V_{t,Diode}. \tag{3.1}$$

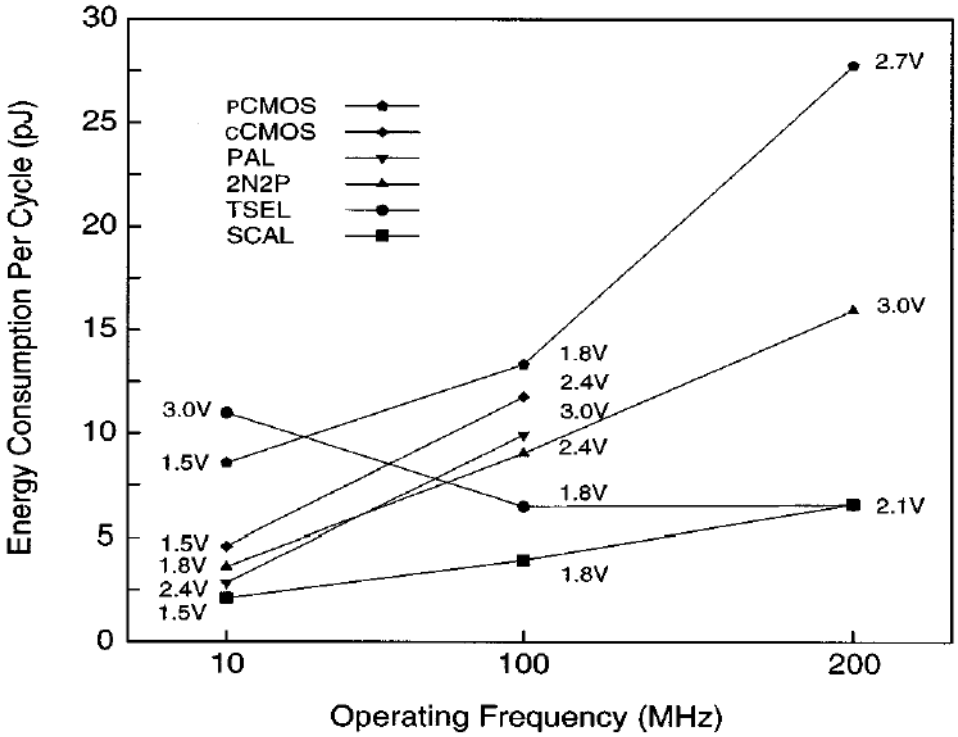

Abbildung 3.26: Vergleich der Leistungsaufnahme verschiedener adiabatischer Logikfamilien mit CMOS-Logik [13]

Vergleicht man dies mit dem Energieverbrauch eines *CMOS*-Gatters für eine Transition, so ergibt sich daraus eine Abschätzung für den erreichbaren Wirkungsgrad [41]:

$$\frac{E_{Diode}}{E_{CMOS}} = 2C_{Last}\frac{V_{t,Diode}}{V_{dd}}\left(1 - \frac{V_{t,Diode}}{V_{dd}}\right). \tag{3.2}$$

In dieser Abschätzung ist nicht die Tatsache enthalten, dass *QSERL*-Logik normale und komplementäre Signale benötigt, was unter Umständen zusätzlichen Schaltungsaufwand erfordert. Zudem fehlen noch die Verluste durch die Kanalwiderstände der Transistoren. Hierzu kann Gleichung 3.1 erweitert werden mit Gleichung 2.11:

$$E_{Verlust} = C_{Last}\left(V_{dd} - V_{t,Diode}\right)V_{t,Diode} + \frac{2\xi}{T}\frac{K_n \cdot \left(V_{dd} - V_{t,Diode}\right)^2}{C_n\left(V_{dd} - 2V_{th}\right)} \cdot C_{Last} \tag{3.3}$$

$$= C_{Last}\left(V_{dd} - V_{t,Diode}\right) \cdot \left[V_{t,Diode} + \frac{2\xi}{T}\frac{K_n \cdot \left(V_{dd} - V_{t,Diode}\right)}{C_n\left(V_{dd} - 2V_{th}\right)}\right]. \tag{3.4}$$

Da die Kanalweiten von *Pass-Gates* in der Regel deutlich größer gewählt werden als die Kanalweiten einer vergleichbaren *CMOS*-Implementierung, muss man dies eigentlich auch noch in Betracht ziehen. Diese werden jedoch von der vorherigen Stufe angesteuert, die ebenfalls eine Ladungswiedergewinnung verwendet. Um die Berechnung mathematisch nicht ausufern zu lassen, kann an dieser Stelle ein Näherungsfaktor eingeführt werden,

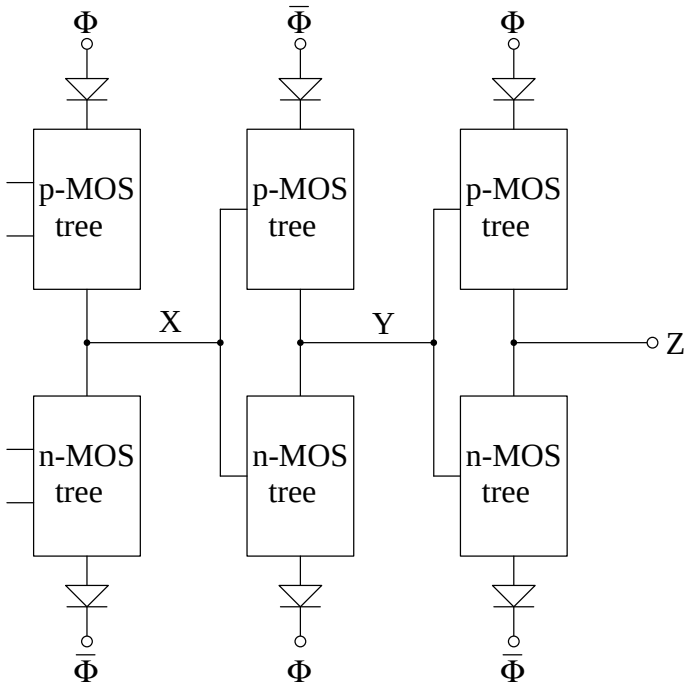

Abbildung 3.27: Mehrere Logikstufen in *QSERL* [41]

der nur den als Verluste anfallenden Teil bestimmt:

$$\zeta = 1 - \frac{E_{Verlust}}{E_{Gesamt}}$$

$$= C_{Last}\left(V_{dd} - V_{t,Diode}\right) \cdot \left[V_{t,Diode} + \frac{2\xi}{T}\frac{K_n \cdot \left(V_{dd} - V_{t,Diode}\right)}{C_n\left(V_{dd} - 2V_{th}\right)}\right] + \zeta C_n \cdot \left(V_{dd} - 2V_{th}\right)^2. \quad (3.5)$$

Obwohl der Wirkungsgrad von *QSERL*-Logik ($\approx 65\%$ bei 100 MHz für einen $0,5\mu m$-Prozess [41]) begrenzt ist, ist *QSERL*-Logik alles in allem eine sehr interessante Logikfamilie, da sie mit normaler *CMOS*-Logik gemischt werden kann. Dies ermöglicht eine gatterweise Entscheidung, ob der Einsatz von *QSERL*-Logik lohnt oder nicht, oder ob nicht eine *CMOS*-Realisierung geeigneter ist. Der begrenzende Faktor an *QSERL*-Logik sind die Diodenflussspannungen, da diese gerade bei Schaltungen mit geringer Versorgungsspannung zu erheblichen Verlusten führen. Es ist Gegenstand dieser Arbeit, eine weitere Möglichkeit zur Realisierung von Dioden aufzuzeigen, mittels der diese Problematik entschärft werden kann.

3.6.2 CAMOS

Eine der im vorigen Abschnitt dargestellten Logikfamilie *QSERL* sehr ähnliche Logikfamilie ist die *CAMOS*-Logik [7]. Der Unterschied liegt in der Anordnung der Dioden, die

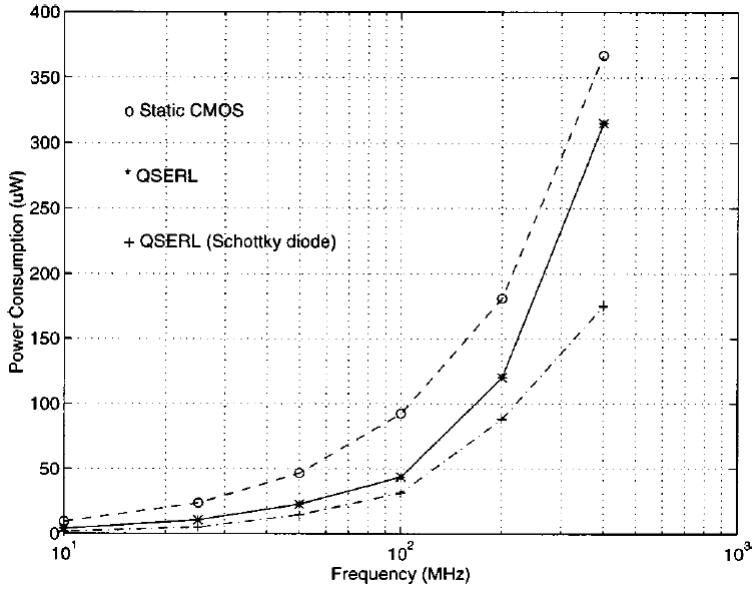

Abbildung 3.28: Simulationsergebnisse einer *QSERL*-Inverterkette [41]

bei *CAMOS* zwischen dem Lastnetz und den *Pass-Gates* angeordnet sind, wie in Abbildung 3.29 dargestellt. Im Vergleich dazu sind die Dioden bei *QSERL* zwischen dem Leistungsphasen und den *Pass-Gates* angeordnet. Ein Vergleich [7] zwischen *CMOS* und *CAMOS* ist in Abbildung 3.30 dargestellt.

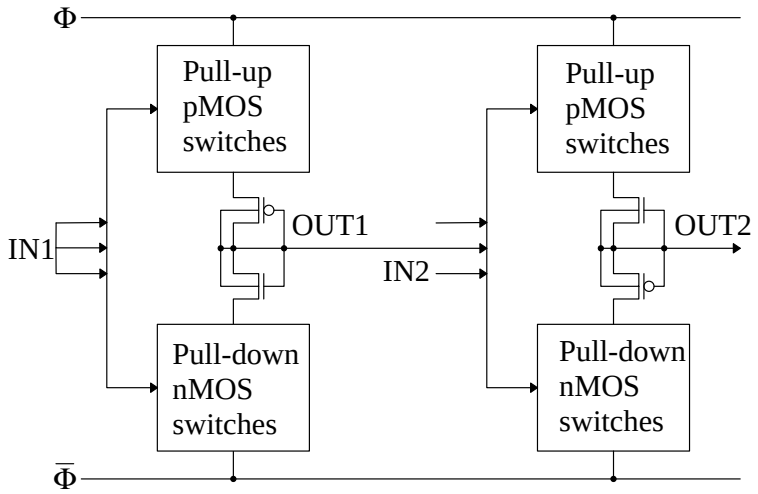

Abbildung 3.29: Zwei Gatterstufen in *CAMOS*; die Dioden werden durch *MOSFET*s realisiert.

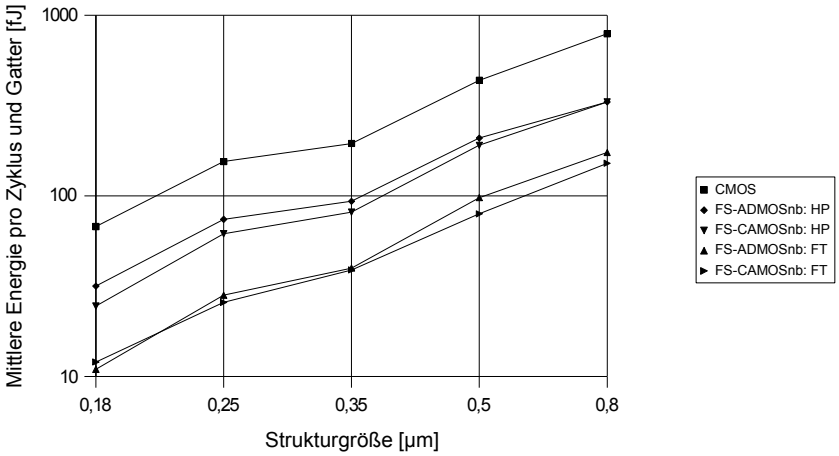

Abbildung 3.30: Wirkungsgradvergleich für *CAMOS* gegenüber *CMOS*

3.7 Mehrwertige Logik

Alle bisher dargestellten Logikfamilien verwenden binäre Logik, d. h. Logik mit zwei Zuständen. Prinzipiell ist es auch möglich, mehrwertige Logik zu verwenden, z. B. ternäre Logik (Drei-Zustandslogik) nach Yoeli-Rosenfeld [42], dies wurde z. B. in [23] umgesetzt. Im Unterschied zu *CMOS* wird dabei das Verhältnis zwischen Versorgungsspannung und Schwellspannungen so eingestellt, dass die Schwellspannung der Transistoren (etwas) größer ist als die halbe Versorgungsspannung $V_{th} \leq \frac{V_{dd}}{2}$. Damit fließt auch bei einem Inverter mit der Eingangsspannung $V_{In} = \frac{V_{dd}}{2}$ kein nennenswerter Strom durch die Transistoren, was die Verwendung von $\frac{V_{dd}}{2}$ als dritten Spannungswert ermöglicht. Zur Ladungsrückgewinnung wird ein *MOSFET* in Diodenschaltung verwendet. Als Beispiel ist in Abbildung 3.31 ein $3 * 3$ Multiplizierer dargestellt. Der Aufbau eines Inverters sowie der zugehörige Arbeitszyklus ist in Abbildung 3.32 wiedergegeben.

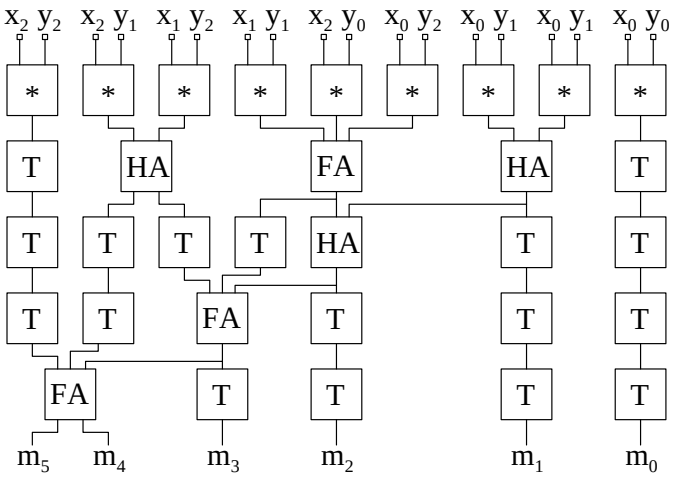

Abbildung 3.31: 3*3 Multiplizierer in dreiwertiger Logik

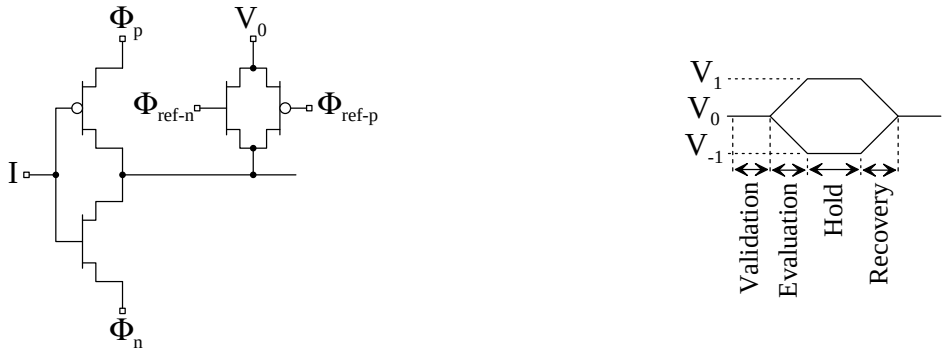

Abbildung 3.32: Mehrwehrtige Logik: In der linken Abbildung ist der Aufbau eines Inverters und und in der rechten Abbildung ein Arbeitszyklus dargestellt

Als Nachteil entsteht eine relative geringe Geschwindigkeit des eigentlichen Umladeprozesses, da die *Source-Drain*-Kanäle der Transistoren nicht sehr stark aufgesteuert werden ($V_{DS*} < \frac{V_{dd}}{2}$ und die Leitwerte der Kanäle entsprechend gering sind. Insgesamt führt dies zu einer schwierigen Dimensionierung, da ein Betrieb mit einer Versorgungsspannung von $V_{dd} \approx 2 \cdot V_{th}$ zu erheblichen Leckstromverlusten führt. Umgekehrt erfordert ein Betrieb mit $V_{dd} << 2 \cdot V_{th}$ lange Umladezeiten aufgrund der geringen Kanalaufsteuerung.

3.7.1 Sonstige Ansätze

Ladungsausgleichschalter

Soll eine größere Zahl von kapazitiven Lasten, z. B. in einem Datenbus, gleichzeitig umgeladen werden, wobei einige der Lasten entladen und andere Lasten aufgeladen werden sollen, so kann eine Ladungswiedergewinnung durch Kurzschließen der Lasten untereinander erfolgen. Die Leitungstreiber werden hierzu temporär in einen hochohmigen Zustand geschaltet und die kapazitiven Lasten mittels zusätzlicher Schalter untereinander kurzgeschlossen. Dadurch erfolgt ein Ladungsausgleich zwischen den einzelnen Lasten. Nach dem Kurzschließen haben alle Lasten ungefähr die gleiche Spannung. Danach erfolgt ein hartes Auf- oder Entladen auf den endgültigen Wert. Dies entspricht einem zweistufigen Umladen (detaillierte Beschreibung zum mehrstufigen Umladen in Abschnitt 3.8.1). Dieser Ansatz eignet sich gut für parallele Busse (Datenbusse); in der Literatur werden Leistungseinsparungen von bis zu 20% [19] genannt.

Ein weiterer Ansatz sind adiabatische Leitungstreiber. Dabei wird von einem oder zwei gegenphasig arbeitenden Oszillatoren ein sinusförmiger Spannungsverlauf bereitgestellt, der mittels Schaltern auf die Ausgangsleitungen des Treibers geführt wird, sofern die entsprechende Ausgangsleitung umgeladen werden soll. Als erreichbarer Wirkungsgrad wird $84,1\%$ in [2] gennant, sowie 50% in [30]. Die unterschiedlichen Werte gehen auf die unterschiedlichen Umladeraten sowie die nur teilweise Implementierung der Steuerlogik innerhalb des *IC*s bei [2] zurück.

3.8 Leistungsoszillatoren

Leistungsoszillatoren dienen zur Bereitstellung rampen- oder sinusförmiger Signale, mittels derer die eigentlichen kapazitiven Lasten innerhalb der Schaltung umgeladen werden. Daher muss ein derartiger Oszillator in der Lage sein, größere kapazitive Lasten (bis etwa einige zehn Nanofarad) mit hohem Wirkungsgrad innerhalb der zur Verfügung stehenden Zeit umzuladen. Zudem muss ein derartiger Oszillator in der Regel in der Lage sein, ein Signal mit einem Spannungsbereich entsprechend der Versorgungsspannung zu generieren.

Der wohl auffälligste Unterschied innerhalb der adiabatischen Oszillatoren ist, ob Induktivitäten eingesetzt (und *LC*-Schwingkreise realisiert) werden oder nicht. Als Alternative zu *LC*-Schwingkreisen kann das stufenweise Umladen verwendet werden. Hierbei wird mittels mehrerer Zwischenspannungen eine Rampe nachgebildet.

Als zweites Hauptmerkmal – zumindest innerhalb der *LC*-Schwingkreis basierten Oszillatoren – ist zu unterscheiden, ob die Schwingkreise kontinuierlich schwingen oder nur zyklusweise. Ein zyklusweiser Betrieb ermöglicht eine bequeme Synchronisation gegen konventionelle Schaltungsteile, die in den meisten Fällen mit einem externen Takt betrieben werden.

3.8.1 Mehrstufiges Umladen

Im Gegensatz zu dem in *CMOS*-Gattern verwendeten einstufigen Umladen (das eigentlich ein *Umschalten* ist), kann dieser Vorgang auch in mehrere Schritte mit kleineren Teilspannungsschritten zerlegt werden [2]. Pro Schritt wird nicht mehr die gesamte Versorgungsspannung, sondern nur noch ein Teil

$$V_{Schritt} = \frac{V_{dd}}{N} \tag{3.6}$$

umgeladen. Damit reduzieren sich die Verluste beim Auf- bzw. Entladen prinzipiell auf:

$$E_{Schritt} = \frac{1}{2} C_{Last} \left(\frac{V_{dd}}{N} \right)^2$$

$$E_{Mehrstufig} = N \cdot E_{Schritt} = N \cdot \frac{1}{2} C_{Last} \left(\frac{V}{N} \right)^2 = \frac{E_{konventionell}}{N}. \tag{3.7}$$

Schaltungstechnisch wird dies durch ein Umschalten zwischen entsprechend vielen Zwischenspannungen realisiert, dies ist in Abbildung 3.33 für vierstufiges Umladen dargestellt. Die Zwischenspannungen brauchen dabei nicht von zusätzlichen Spannungsquellen bereitgestellt zu werden, sondern es ist ausreichend, die in den Umladevorgängen aufgenommene bzw. abgegebene Ladung zu speichern; dies kann mittels Kondensatoren realisiert werden. Da die je Zwischenspannung aufgenommene und abgegebene Ladung im Mittel null ist, ist nur beim Einschalten ein Vorladen auf die Betriebsspannung erforderlich. Kommt es

durch Unsymmetrien, Leckströme oder Ähnlichem dazu, dass bei einer Zwischenspannung ein deutliches Ungleichgewicht zwischen aufgenommener und abgegebener Ladung entsteht, so führt dies zu einer Verschiebung der Spannung. Diese Verschiebung wirkt dem Ungleichgewicht entgegen, sodass selbst dann wieder ein stabiler Zustand erreicht wird, allerdings mit einer Differenz zwischen der idealen Zwischenspannung und deren tatsächlichen Wert. Dies führt zudem zu einer Verminderung des Wirkungsgrads.

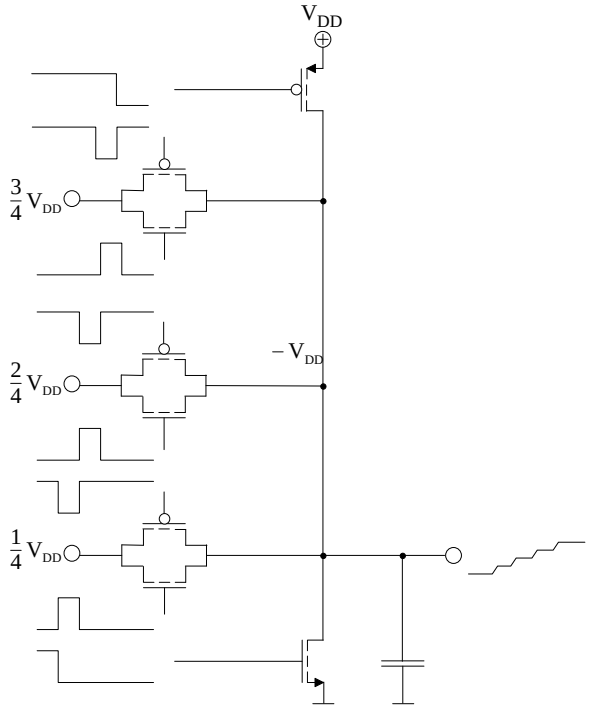

Abbildung 3.33: Schaltung für mehrstufiges Umladen mit $n = 4$

Für eine realistische Bewertung müssen noch die Verluste in den Schalttransistoren berücksichtigt werden. Nimmt man T als zulässige, maximale Zeit für einen vollständigen Lade- oder Entladezyklus, so lässt sich dies in RC-Zeitkonstanten für die Last umrechnen:

$$m = \frac{1}{R_{Schalter} C_{Last}} \cdot \frac{T}{N}. \tag{3.8}$$

Nachteilig ist, dass eine Steuerlogik benötigt wird, die die einzelnen Umschaltvorgänge koordiniert. Selbst im einfachsten Fall, d. h. dem Umschalten mit konstanter Rate, wird ein Taktsignal mit der $2 * (n - 1)-$fachen Frequenz des eigentlichen Ausgangssignals benötigt. Dies begrenzt zum einen die erreichbaren Frequenzen nach oben. Zum anderen wird auch für die einzelnen Schaltvorgänge Energie benötigt, sodass mit steigender Zahl der Stufen zwar der Wirkungsgrad bezogen auf die Last steigt, gleichzeitig aber der ebenso der Leistungsbedarf der Steuerlogik steigt.

Einen Vorteil stellt die einfache Synchronisierbarkeit gegenüber einem Referenzoszillator dar. Der Takt für die Steuerlogik kann direkt aus dem Referenzoszillator abgeleitet werden, womit adiabatische und konventionelle Schaltungsteile problemlos synchron arbeiten

können.

3.8.2 Blip-Oszillator

Der Blip-Oszillator [3] ist wohl der einfachste LC-Oszillator. Er besteht aus zwei gegengekoppelten LC-Schwingkreisen, das Schaltbild ist dargestellt in Abbildung 3.34. Die Schwingkreise arbeiten gegenphasig, d. h. zwischen den Ausgängen besteht eine Phasenverschiebung von 180°. Die Schwingung erfolgt um die Versorgungsspannung V_{Osc} herum, entsprechend muss die Spannung an V_{Osc} etwa gleich der Amplitude der Resonanzkreise sein. Durch den gegenphasigen Betrieb werden die *MOSFETs* immer dann durchgesteuert, wenn der jeweils andere Oszillator im Bereich des Maximums ist und damit der Teil, zu dem der *MOSFET* gehört, im Minimum ($V_{Osc,Minimum} \approx 0V$) liegt.

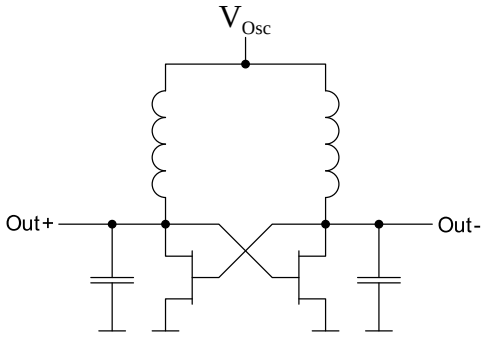

Abbildung 3.34: Schaltung des *Blip*-Oszillators

Der *Blip*-Oszillator ist ein selbstschwingender Oszillator, eine Synchronisation gegen andere Taktquellen ist schwierig. Zudem ist die Frequenz des Oszillators abhängig von der kapazitiven Last. Ein erheblicher Nachteil des *Blip*-Oszillators ist die Reaktion auf Lastwechsel, da dann die Resonanzfrequenzen und die Amplituden in den Schaltungshälften variieren. Ein Beispiel hierfür ist in Abbildung 3.35 gezeigt.

3.8.3 Steuerbare Oszillatoren

Sollen LC-Oszillatoren synchron mit anderen Oszillatoren arbeiten, so sind die bisher vorgestellten Konzepte dafür ungeeignet, da ihre Frequenzen nicht direkt beeinflussbar sind, zudem führen Änderungen der Lastkapazität zu Veränderungen der Frequenz. Ein Abgleich durch Nachstellen einer der Schwingkreisgrößen – L oder C – ist ebenfalls schwierig. Der einzige Erfolg versprechende Ansatz ist die Veränderung der Resonanzkreiskapazität. Hierzu kann jedoch nicht der aus der Nachrichtentechnik bekannte Weg der Spannungsabhängigkeit von *Sperrschicht*-Kapazitäten verwendet werden, da Leistungsoszillatoren in der Regel den vollen Versorgungsspannungshub haben, Sperrschicht-Kapazitäten aber nur im Kleinsignalbereich verwendbar sind. Als Ausweg bleiben zuschaltbare Kondensatoren, die aber einen erheblichen Mehraufwand für zusätzliche Schalter und die eigentlichen Kondensatoren erfordern.

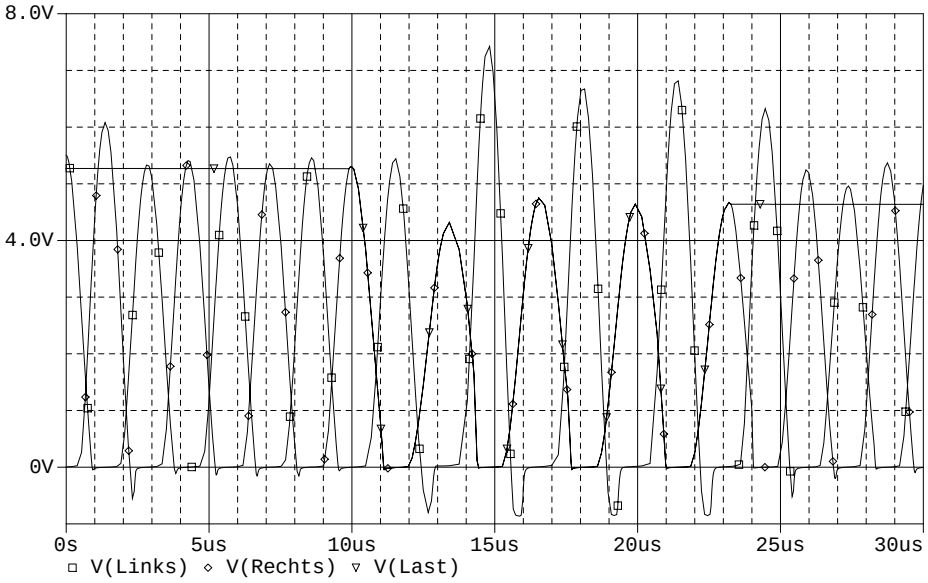

Abbildung 3.35: Simulierte Spannungsverläufe für einen *Blip*-Oszillator beim Zuschalten einer Last. Die Spannung V_{Last} spiegelt dabei die Spannung an einer zeitweilig an den rechten Teil angeschalteten Lastkapazität wider.

Als Alternative besteht die Möglichkeit, steuerbare Oszillatoren zu verwenden, diese führen je nach Konzept nur eine halbe oder eine volle Schwingung aus und wechseln dann in einen Ruhezustand. Dabei wird ausgenutzt, dass der Strom durch die Induktivität im Minimum bzw. Maximum gegen null geht (der Strom durchläuft einen Richtungswechsel). Schaltet man einen der Anschlüsse der Induktivität zu diesem Zeitpunkt hochohmig, so wird der Resonanzvorgang im Minimum bzw. Maximum unterbrochen. Da die Induktivität sich im Energieminimum befindet, braucht keine aufwändige Energierückgewinnung eingesetzt zu werden; zur Unterdrückung von Spannungsspitzen sind Freilaufdioden ausreichend, gegebenenfalls kann ganz darauf verzichtet werden.

Dieses Konzept wurde in [2] realisiert, die Schaltung dazu ist in Abbildung 3.36 dargestellt. Die Schaltung verwendet zwei *MOSFET*-Transistoren zur Steuerung, S_1 steuert den eigentlichen Resonanzvorgang, während S_0 für einen stabilen 0-Pegel sorgt. S_0 und S_1 sind nur wechselweise durchgeschaltet.

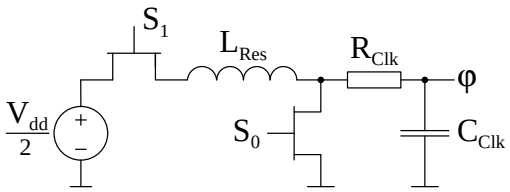

Abbildung 3.36: Einfacher steuerbarer LC-Oszillator

Die Schwierigkeit besteht dabei jedoch in der Generierung des Steuersignals für den Transistor S_1. Da keine direkte Rückkopplung zwischen Schwingkreis und Steuerlogik besteht, kann nur ein vorgegebener Wert für die Dauer des Umladevorgangs angenommen werden.

Änderungen in der Kapazität im Schwingkreis und damit Änderungen der Resonanzfrequenz bzw. Umladedauer können so nicht berücksichtigt werden. Dieser Ansatz eignet sich daher nur in Schaltungen, in denen die Schwingkreiskapazität als näherungsweise konstant angesehen werden kann.

Im allgemeinen Fall kann zudem das Steuersignal für den Schwingkreisschalter nicht aus einem Taktsignal abgeleitet werden, da die Dauer des Umladevorgangs typischerweise im Bereich eines oder einiger Taktperioden liegt und die erreichbare zeitliche Auflösung des Schaltsignals zu schlecht wäre. Als Alternative stehen Zeitgeber auf Basis von *RC*-Gliedern, Stromquellen-Kondensator-Schaltungen oder Gatterketten zu Verfügung. Alle diese Alternativen erlauben eine ausreichend genaue Zeitauflösung, müssen aber kalibriert werden, da sie erheblichen Fertigungstoleranzen unterliegen.

Ein Ansatz, dieses Problem zu umgehen, besteht in der Möglichkeit der Verwendung von Schwellwertschaltern (Spannungskomparatoren). Diese schalten beim Erreichen einer voreingestellten Schwelle und signalisieren so der Steuerlogik, dass der Umladevorgang abgeschlossen ist. Das daraus entstehende Modul (vergleiche Abbildung 3.37) kann den Umladevorgang selbstgesteuert durchführen, da nach dem Startimpuls der geforderte Zustandswechsel gespeichert bleibt, bis seitens eines der Komparatoren das Erreichen der Abschaltschwelle signalisiert wird.

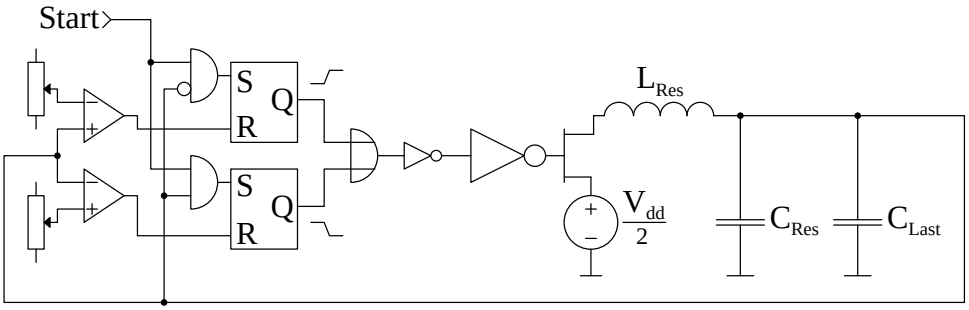

Abbildung 3.37: Blockschaltbild für resonantes Umladen mit Schwellwertschaltern [29]

Dadurch ergibt sich aber in der Schaltung ein kritischer Pfad vom Resonanzkreiskondensator als *Ist* -Größe über den Komparator, die Steuerlogik, die Leistungstreiberstufe für den MOSFET zum MOSFET als eigentliches aktives Element. Man kann die Anzahl an Gatterstufen in diesem kritischen Pfad und damit auch die minimale Verzögerung abschätzen. Hinzu kommt die Verzögerung im Komparator. Als Vergleichswert steht die zu erreichende zeitliche Genauigkeit, aus der sich wiederum die Spannungstoleranz im Abschaltzeitpunkt ergibt.

3.9 Zusammenfassung

Neben dem grundlegenden Konzept der reversiblen Logik und dem davon abgeleiteten Konzept der retraktilen Kaskaden sind vor allem adiabatische Logikfamilien interessant,

da sie sich aus logischer Sicht vergleichbar der *CMOS*-Logik verhalten, aber den Vorteil der Ladungswiedergewinnung bieten.

Innerhalb der adiabatischen Logikfamilien gibt es zwei wesentliche Unterscheidungskriterien: Zum einen die Frage nach statischem oder dynamischen Betrieb, zum anderen die Verwendung von *Pass-Gates* oder einfachen Transistoren.

Dynamischer Betrieb bedeutet, dass durch den Leistungstakt am Ende jeder Taktphase eine Ladungswiedergewinnungsphase folgt, unabhängig davon, ob tatsächlich ein Zustandswechsel erfolgt ist oder nicht. Damit fallen in *jedem* Zyklus des Leistungstakts Verluste an, zudem sind diese Logikfamilien nicht ohne zusätzlichen Aufwand mit statischer *CMOS*-Logik kombinierbar. Damit schränkt sich der Einsatz – ähnlich wie bei *Domino*-Logik – auf Netze mit hoher Schaltaktivität ein. Statische Logik führt dagegen – vergleichbar mit *CMOS* oder anderen Gegentaktstrukturen – nur dann einen Zustandswechsel am Ausgang durch, wenn dies durch Änderung von Eingangssignalen erforderlich ist. Dies erlaubt den Einsatz für einen deutlich weiteren Bereich an Schaltaktivitäten sowie die beliebige Mischbarkeit mit *CMOS*-Gattern.

Die zweite Frage ist die Verwendung von *Pass-Gates* oder einfachen Transistoren (*MOSFET*s). Die Verwendung von einfachen Transistoren begrenzt den erreichbaren Spannungshub am Ausgang der Gatter, da die Transistoren bei Unterschreiten ihrer *Gate-Drain*-Schwellspannung sperren. Soll der volle Ausgangsspannungshub erreicht werden, so sind komplementäre Transistoren, also *Pass-Gates* erforderlich. Einzige Ausnahme von dieser Regel ist *Clock-powered CMOS*, hierbei wird ein Ladungspumpeneffekt zum Erreichen einer *Gate-Drain*-Spannung größer als die Versorgungsspannung verwendet; durch Leckströme wird *Clock-powered CMOS* damit jedoch auch eine dynamische Logik.

Besonders die Verwendung von *Pass-Gates* vergrößert die notwendige Anzahl an Transistoren deutlich, da neben der Verdopplung der Transistorzahl durch die *Pass-Gates* auch komplementäre Eingangssignale zur Ansteuerung benötigt werden. Daher sind viele adiabatische Logikfamilien differenziell aufgebaut, d. h., jedes Gatter besteht aus zwei Teilgattern, die komplementär (invertiert) zueinander arbeiten. Im ungünstigsten Fall vervierfacht sich damit die Transistorzahl z. B. gegenüber einem einfachen *CMOS*-Gatter. In größeren Schaltungen fällt das Verhältnis dagegen nicht ganz so ungünstig aus, da die Verfügbarkeit von invertiertem und nicht-invertiertem Ausgang Optimierungen in der Schaltungsstruktur zulässt.

Insgesamt zeigt sich, dass es bisher keine ideale adiabatische Logikfamilie gibt, die auf der einen Seite nur einen geringen Mehraufwand an Transistoren erfordert, auf der anderen Seite aber auch einen weiteren Bereich an Schaltaktivitäten abdeckt und ohne zusätzlichen Aufwand kompatibel zu etablierten Logikfamilien wie *CMOS* ist.

Kapitel 4

Bipolartransistor-basiertes Diodenelement zur Ladungswiedergewinnung

Im vorherigen Kapitel wurden adiabatische Logikfamilien, darunter viele dynamische adiabatische Logikfamilien, vorgestellt. Ein Weg zur Ladungswiedergewinnung für derartige Logikfamilien ist die Verwendung von Dioden. Der dabei erreichbare Wirkungsgrad hängt jedoch stark vom Verhältnis zwischen der Flussspannung der eingesetzten Dioden und der Versorgungsspannung ab. Daher wird in diesem Kapitel neben einer kurzen, abstrahierten Darstellung dynamischer adiabatischer Logik die Frage untersucht, inwieweit die Flussspannung von Dioden reduzierbar ist. Eigentlicher Schwerpunkt des Kapitels ist dann die Einführung des bipolartransistor-basieren Diodenelements als neuartiger Diodenersatz zur Ladungswiedergewinnung. Dieses Element soll zuerst auf schaltungstechnischer Ebene vorgestellt und untersucht werden, anschließend daran wird mittels des Transportmodells die theoretische Seite betrachtet.

4.1 Dynamische adiabatische Logik

Dynamische adiabatische Logik wurde bereits ausführlich in Abschnitt 3.5 dargestellt, für die folgende Betrachtung wird daher die Prinzipschaltung in Abbildung 4.1 verwendet. In einer schaltungstechnischen Realisierung benötigt man eigentlich zwei dieser Elemente, die gegenphasig (invertiert) zueinander arbeiten. Da die grundsätzliche Arbeitsweise beider Elemente jedoch identisch ist, soll zur Einführung ein Element genügen.

Ein Gatter in dynamischer adiabatischer Logik verwendet im Betrieb einen festen Arbeitszyklus: Ausgehend von einem Ruhezustand s_0 wird der Ausgang X in Abhängigkeit vom Eingang I in den aktiven Zustand s_1 umgeladen oder bleibt im Ruhezustand s_0, je nachdem, welchen Zustand der Eingang I hat. Es folgt eine kurze Pause, in der der Ausgangswert von der nächsten Stufe übernommen wird. Als Letztes wird der Ausgang X wieder in den Zustand s_0 umgeladen, sofern sich der Ausgang im aktiven Zustand s_1

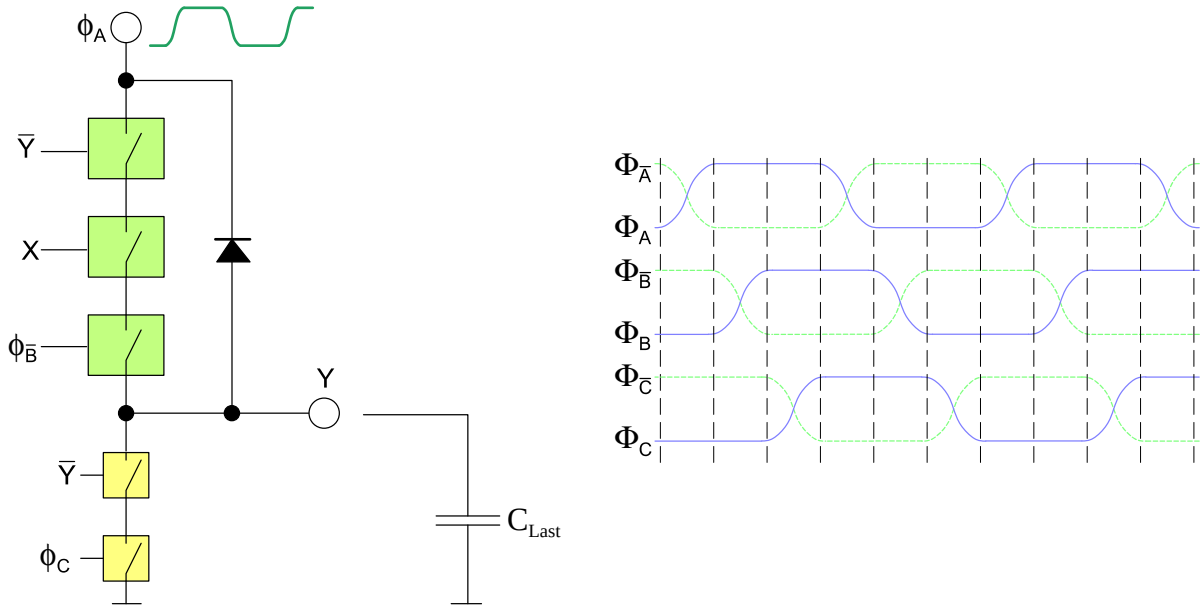

Abbildung 4.1: In der linken Abbildung ist die prinzipielle Struktur eines dynamischen adiabatischen Gatters dargestellt. Die größeren Symbole für Schalter stellen dabei *Pass-Gates* dar, die kleineren sind nur *MOSFET*s. In der rechten Abbildung das zugehörige Taktschema.

befindet. Dieser Umladevorgang zurück in den Ruhezustand erfolgt immer, auch wenn das Eingangssignal sich nicht verändert hat. Von diesem Verhalten leitet sich die Bezeichnung als *dynamische* Logik ab.

In der in Abbildung 4.1 dargestellten Schaltung entspricht der Ruhezustand s_0 einer entladenen Lastkapazität, der aktive Zustand s_1 einer aufgeladenen Lastkapazität. Als Beispiel für das Verhalten dieser Stufe ist ein Taktdiagramm in Abbildung 4.2 dargestellt. Der Eingang I ist am Anfang 1, der Ausgang X im Ruhezustand. In Taktphase 2 wird der Ausgang entsprechend dem Eingang aufgeladen. Danach verbleibt der Ausgang für eine kurze Zeit in diesem Zustand, bevor er in Taktphase 5 wieder in den Ruhezustand überführt wird, also entladen wird.

Das Eingangssignal ändert seinen Wert bereits in Taktphase 4 in den Ruhezustand, damit sperrt allerdings auch der vom Eingangssignal I gesteuerte Schalter. Um die Lastkapazität in Taktphase 5 dennoch entladen zu können, wird eine Diode eingesetzt, die in diesem Fall leitet und so die Ladung aus der Lastkapazität in die Leistungsphase Φ_B zurückspeist.

Die verbleibenden Schalter dienen der Entkopplung, sie verhindern unerwünschtes Aufladen der Last durch eine Änderung des Eingangssignals (obere Schalter) bzw. die unteren Schalter sorgen für eine vollständige Entladung der Last. Aufgrund der Diodenflussspannung verbleibt ansonsten nach Ende des Entladevorgangs eine Restspannung in der Lastkapazität. Das Signal $\overline{X}$ stammt von der parallel arbeitenden, invertierten Stufe.

An dieser Stelle zeigt sich wieder das von `Landauer` dargestellte Problem des *Leistungsumsatzes beim Löschen von Information*: Der Aufladevorgang kann effizient mittels eines datenabhängigen Schalters geschehen, der Entladevorgang muss jedoch mittels eines

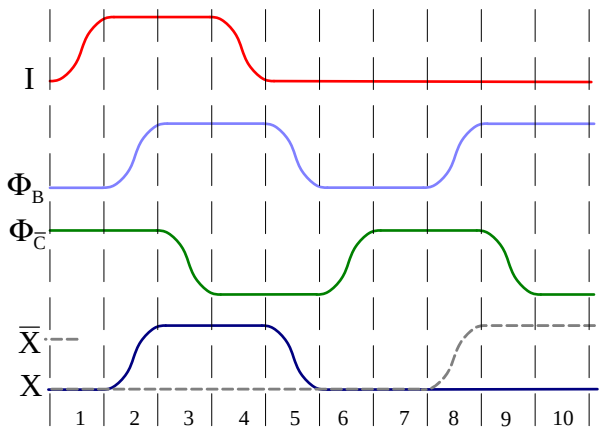

Abbildung 4.2: Prinzipielle Spannungsverläufe in einem Gatter in dynamischer adiabatischer Logik

nicht-linearen Elements, hier einer Diode, erfolgen. Aufgrund der Flussspannung der Diode kann aber nur ein Teil der Energie aus der Lastkapazität zurückgewonnen werden. Es ist nicht möglich, beim Entladen ebenfalls einen Schalter einzusetzen, da außer dem Zustand des Ausgangs X kein Steuersignal verfügbar ist, welches den Schalter steuern kann. Das Ausgangssignal X ist jedoch nicht für den ganzen Entladevorgang gültig, da sein Wert während des Entladevorgangs schließlich verändert wird.

4.2 Diodenflussspannung und Wirkungsgrad in adiabatischer Logik

Wird die Flussspannung von Dioden mit der Versorgungsspannung verglichen, so erhält man eine erste Abschätzung für den erreichbaren Wirkungsgrad, wenn diese Dioden zur Ladungswiedergewinnung in adiabatischer Logik eingesetzt werden. In Abbildung 4.3 ist eine Simulation für den erreichbaren Wirkungsgrad für Siliziumdioden mit einer Flussspannung $V_{f,Silizium} = 0,7\,\mathrm{V}$ sowie für Schottky-Dioden mit einer Flussspannung von $V_{f,Schottky} = 0,3\,\mathrm{V}$ dargestellt.

Vergleicht man diese Aussage mit der in Abbildung 4.4 wiedergegebenen Vorhersage für die Entwicklung der Versorgungsspannung aus der *ITRS-Roadmap*, so wird klar, dass sich mit den verfügbaren Dioden keine Ansätze realisieren lassen, die bei den heute üblichen und vor allem bei den zu erwartenden Versorgungsspannungen im Bereich von 1 V und darunter noch attraktive Wirkungsgrade aufweisen. Es stellt sich die Frage, inwieweit die Möglichkeit besteht, die Flussspannungen zu reduzieren.

Die Flussspannung einer Diode wird durch die `Shockley`-Gleichung beschrieben:

$$I_F = I_S \cdot \left[e^{\left(\frac{V_D}{V_T}\right)} - 1 \right].$$

Formt man diese Gleichung um, so zeigt sich der grundsätzlich Spannungs-

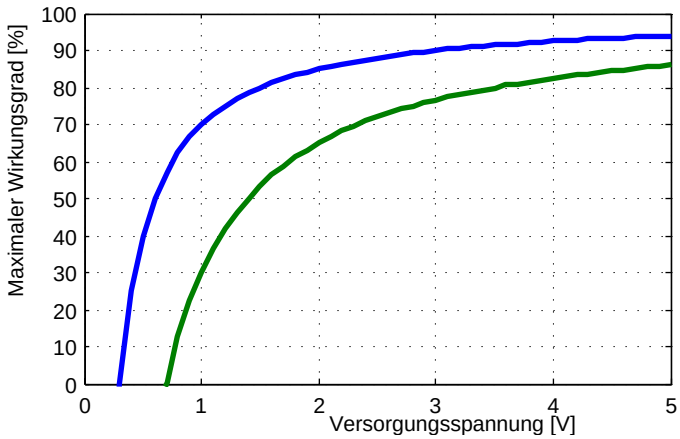

Abbildung 4.3: Maximaler theoretischer Wirkungsgrad: Die obere Kurve stellt den maximalen Wirkungsgrad für eine Schottky-Diode dar, die untere Kurve den maximalen Wirkungsgrad für eine Siliziumdiode.

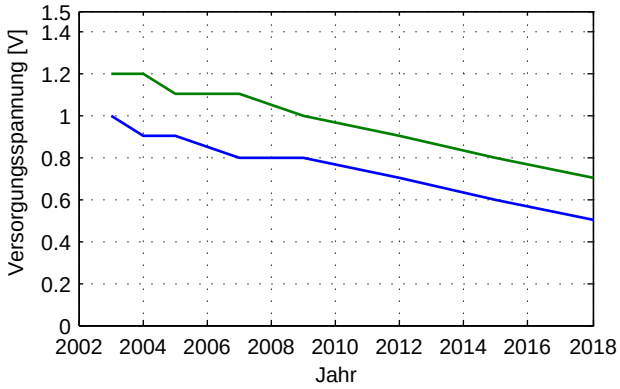

Abbildung 4.4: Seitens der *ITRS* [1] prognostizierte Entwicklung der Versorgungsspannung: Die obere Kurve ist die prognostizierte Entwicklung der Versorgungsspannung für *high-performance*-Bauelemente, die untere Kurve für *low-power*-Bauelemente

Stromzusammenhang einer Diode:

$$V_D \sim ln\left(\frac{I_F}{I_S}\right),$$

worin I_S der Sättigungs-(sperr-)strom der Diode ist.

4.3 Ein Diodenersatzelement

Die drei wohl wichtigsten schaltungstechnischen Eigenschaften einer Diodenstrecke sind die Flussspannung V_f, die maximale Sperrspannung $V_{rev,max}$ und der maximal zulässige Strom I_{max}.

Die Flussspannung wie die zulässige Sperrspannung wurden bereits im vorigen Abschnitt diskutiert, wobei die zulässige Sperrspannung sich bei integrierten Dioden in den meisten Fällen an der Versorgungsspannung des Prozesses orientiert, d. h. etwas größer als die maximale Versorgungsspannung gewählt wird. Der mögliche Strom in einer Diode wird durch die zulässige Erwärmung begrenzt, da im Vorwärtsbetrieb bedingt durch die Flussspannung immer Verlustleistung in einer Diode anfällt.

Als Alternative zu *pn*-Übergängen können Bipolartransistoren als Dioden geschaltet werden. Dabei wird ausgenutzt, dass die Basis-Emitterstrecke eines Bipolartransistors eine Diodenstrecke ist. Wird diese als Diodenelement in Sperrrichtung geschaltet, so befindet sich die Basis-Emitterdiode ebenfalls im Sperrzustand, sobald die Basisspannung kleiner als die Emitterspannung ist (*npn*-Transistor). Damit fließt nur noch der Sperrstrom durch die Basis-Emitterstrecke; entsprechend kann sich kein Strom durch die Kollektor-Emitterstrecke aufbauen. Umgekehrt kann der Transistor über einen Basisstrom durchgesteuert werden, sodass die Last über die Kollektor-Emitterstrecke aufgeladen oder entladen werden kann. Die Besonderheit von Bipolartransistoren ist, dass beim Betrieb in Sättigung die Flussspannung über die Kollektor-Emitterstrecke kleiner als die Flussspannung einer Diode wird, beispielsweise als die der Basis-Emitterdiode. Wird der Transistor tief in die Sättigung getrieben (d. h. der Basisstrom ist ein Vielfaches des minimal notwendigen Stroms), so reduziert sich die Kollektor-Emitterspannung auf einen Bruchteil der normalen Diodenflussspannung. Dieses Verhalten ist Abbildung 4.5 für einen *npn*-Transistor dargestellt.

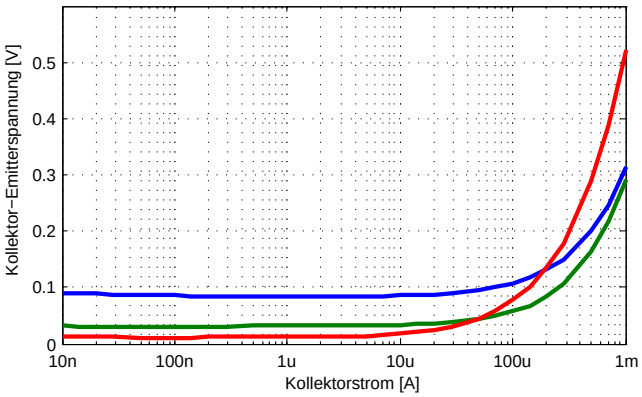

Abbildung 4.5: Flussspannungen der Kollektor-Emitterstrecke eines *npn*-Bipolartransistors. Die obere Kurve stellt die Kollektor-Emitterspannung des Transistors für einen Basisstrom von 10% des Kollektor-Emitterstroms dar, die mittlere Kurve die gleiche Spannung für einem Basisstrom von 33% des K-E-Stroms und die untere Kurve ebenfalls die K-E-Spannung für einen Basisstrom gleich dem K-E-Strom.

Die oberste Kurve in Abbildung 4.5 stellt die Kollektor-Emitter-Flussspannung für einen Basis-Emitterstrom von $3,3\%$ des Kollektor-Emitterstroms dar, die mittlere Kurve stellt die K-E-Spannung für einen Basis-Emitterstrom von 33% des Kollektor-Emitterstroms dar, die untere Kurve stellt die K-E-Spannung für einen Basisstrom entsprechend dem Kollektorstrom dar. Es ist deutlich zu sehen, dass die Kollektor-Emitterflussspannung mit

zunehmendem Basisstrom kleiner wird, allerdings bei großen Basisströmen und größeren Kollektorströmen früher eine Überkompensation einsetzt.

Der minimale Wert für den Basisstrom ist dabei:

$$i_{Last} = \beta \cdot i_{Basis}. \tag{4.1}$$

Der Transistor wird dann genau an der Grenze zur Sättigung betrieben, und die Flussspannung über die Kollektor-Emitterstrecke entspricht der Flussspannung der Basis-Emitterdiode; gleichzeitig ist der Basisstrom so gering wie möglich, um diesen Kollektor-Emitterstrom zu schalten. Wird der Basisstrom vergrößert, verringert sich die Flussspannung entsprechend.

Die eigentliche Schwierigkeit liegt daher in der Generierung des Basisstroms. Der einfachste Ansatz, den Basisstrom mittels eines Vorwiderstands zu begrenzen, ist unattraktiv, da Widerstände schlecht integrierbar sind (großer Flächenbedarf). Zudem ist die Basisspannung bezogen auf die Versorgungsspannung nicht konstant, sondern ändert sich in Abhängigkeit von der Emitterspannung. Damit ändert sich jedoch auch der Basisstrom aufgrund der unterschiedlichen Spannungsdifferenz über den Widerstand.

Der zweite, bequeme Ansatz wäre die Verwendung von Transistoren als Konstantstromquellen. Neben dem zusätzlichen Aufwand für diese Transistoren besteht auch hier die Notwendigkeit zum Ein- bzw. Ausschalten der so realisierten Stromquellen, um keinen unnötigen Ruhestrom zu verursachen.

In der Summe sind beide Ansätze unattraktiv.

Da dieses Diodenelement in CMOS-Digitalschaltungen verwendet werden soll, kann jedoch eine Eigenschaft dieser Schaltungen ausgenutzt werden: *die Last ist kapazitiv.* Daraus folgt:

$$i_{Last} = C \cdot \frac{dV_{Last}}{dt}.$$

Dieses ist auf den ersten Blick trivial, hat jedoch eine interessante Konsequenz: Der Basisstrom für den Transistor kann ebenso erzeugt werden, da die Basisspannung über die Flussspannung der Basis-Emitterdiode mit der Emitterspannung gekoppelt ist. Nimmt man die Emitterspannung als Führungsgröße (die Emitterspannung wird von einer Spannungsquelle generiert), so folgen Basisspannung und die Kollektorspannung fast im Gleichlauf, da beide näherungsweise konstante Spannungsdifferenzen zur Emitterspannung haben (Sättigungs-Flussspannung zwischen Kollektor und Emitter bzw. Flussspannung Basis-Emitterdiode).

Beschränkt man das Verhältnis zwischen der Lastkapazität und der Basiskapazität auf

$$\frac{c_{Last}}{c_{Basis}} \leq \beta_f \tag{4.2}$$

so lässt sich der Basisstrom mit einem einfachen Kondensator generieren. Die prinzipielle Schaltung dazu ist in Abbildung 4.6 dargestellt.

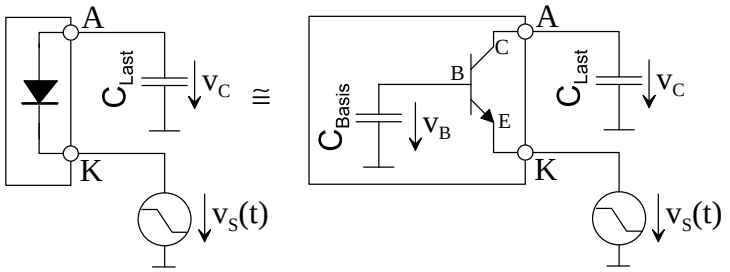

Abbildung 4.6: Prinzipielle Schaltung für das bipolartransistor-basierte Diodenlement

Die Verwendung eines Kondensators zur Generierung des Basisstroms hat gegenüber der Verwendung von Widerständen, Stromspiegeln oder anderem viele Vorteile:

1. Kondensatoren lassen sich einfach und problemlos integrieren: Da einige, in jedem Fall vorhandene Strukturen Kapazitäten bilden (z. B. zwei Metalllagen gegeneinander oder Poly-Silizium gegen Aktivgebiet), können die Steuerkapazitäten problemlos mit integriert werden. Zudem sind die Anforderungen an die Genauigkeit des Werts der Steuerkapazität gering, da der zugehörige Transistor tief in der Sättigung betrieben wird. Dies erlaubt Toleranzen von mehreren zehn Prozent.

2. Der Strom ist konstant (d. h. nur frequenzabhängig): Werden Widerstände als vereinfachte Konstantstromquellen verwendet, so muss die Spannungsdifferenz über den Widerstand deutlich größer als die Änderung der Spannungsdifferenz sein, um den Strom nur in einem akzeptablen Bereich variieren zu lassen. Da die Basisspannungen der Transistoren jedoch einen großen Teil des Versorgungsspannungsbereichs annehmen können, ist diese Forderung nicht realisierbar.

3. Der gesamte Versorgungsspannungsbereich kann verwendet werden: Der Basiskondensator kann einfach mittels Schaltern auf die maximale bzw. minimale Spannung geladen werden, daher kann der Basiskondensator auch auf die volle Versorgungsspannung vorgeladen bzw. komplett entladen werden. Dies ist selbst bei Stromspiegeln nicht möglich, da die Transistoren immer eine gewisse Spannungsdifferenz zum Betrieb benötigen.

4. Das Diodenelement kann über einen weiten Frequenzbereich betrieben werden: Da die Last kapazitiv ist, ist der Laststrom frequenzabhängig. Würde daher ein fester Basisstrom verwendet, so wäre das Diodenelement nur in einem engen Frequenzbereich optimal ausgelegt. Durch die Verwendung eines Kondensators wird aber auch der Basisstrom im gleichen Maß wie der Laststrom frequenzabhängig. Daher kann das Diodenelement in einem weiten Frequenzbereich betrieben werden. Nach oben wird dieser durch den maximalen Transistorstrom begrenzt, nach unten durch die Leckstromverluste.

5. Es entsteht kein statischer Leistungsumsatz: Ist der Umladevorgang abgeschlossen, bleibt die Spannung am Basiskondensator konstant, entsprechend fließt auch kein

Strom. Daher ist keine weitere Steuerlogik notwendig, die die Basisstromquelle abschaltet, wie dies bei Widerständen oder Ähnlichem notwendig wäre.

Um dieses Diodenelement anstelle der Diode in das dynamische adiabatische Gatter einsetzen zu können, muss die Schaltung erweitert werden. Es wird für die Ansteuerung der Transistorbasis ein zusätzlicher Kondensator benötigt, der zusammen mit dem Ausgangsnetz aufgeladen werden muss. Zudem muss dieser Kondensator nach Ende der Entladephase vollständig entladen werden, also deutlich unterhalb der Basis-Emitterschwellspannung des Transistors, um die Kollektor-Emitterstrecke des Transistors vollständig zu sperren. Die prinzipielle Schaltung eines derartigen Elements ist in Abbildung 4.7 dargestellt.

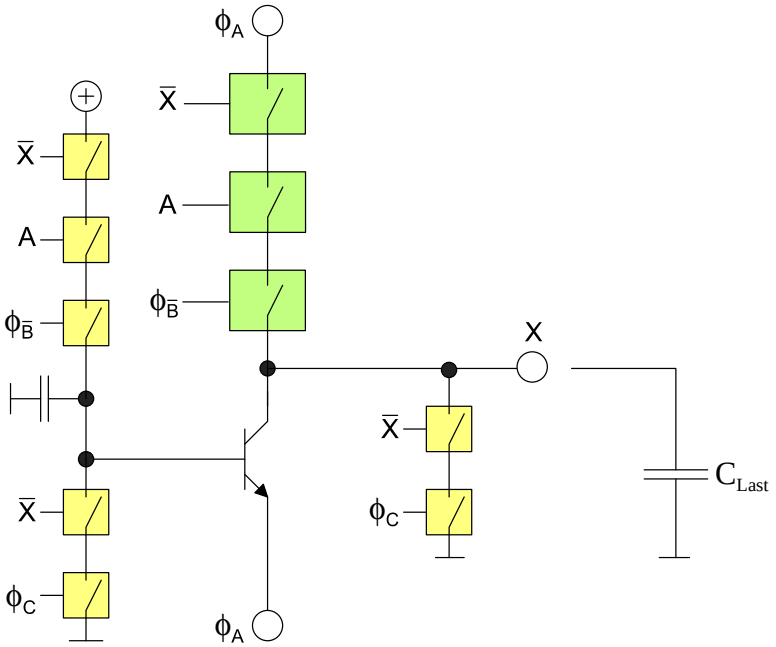

Abbildung 4.7: Schaltplan einer um das Diodenelement erweiterten Gatters in dynamischer adiabatischer Logik

Für eine Betrachtung des dynamischen Verhaltens des Diodenelements ist es sinnvoll, die Bauteile durch ein einfaches Ersatzschaltbild für das Übergangsverhalten im Zeitbereich zu ersetzen. Das daraus entstehende Ersatzschaltbild während des Entladevorgangs ist in Abbildung 4.8 dargestellt (d. h. $\frac{dV_Q}{dt} < 0$). Die beiden Spannungsquellen v_{BC} und v_{BE} bilden dabei den Transistor nach; v_Q ist die Umladequelle.

Unter der Annahme, dass $\frac{dV_Q}{dt} \approx const$ gilt, können die Flussspannungen v_{CB} und v_{BE} als konstant angesehen werden. Bei einer geeigneten Dimensionierung von i_C wird zudem $v_{CB} > 0$ und damit $v_{CE} < v_{BE}$, d. h. die Flussspannung über die Kollektor-Emitterstrecke des Transistors wird kleiner als die Flussspannung einer einzelnen Diode. Eine Simulation der Flussspannung im Betrieb als Diodenelement ist in Abbildung 4.9 dargestellt. Diese basiert auf dem in Kapitel 8.4 dargestellten Prozess. Darin ist die Flussspannung eines Diodenelements als Funktion der Rampendauer sowie des c_{Basis}/c_{Last}-Verhältnisses dargestellt.

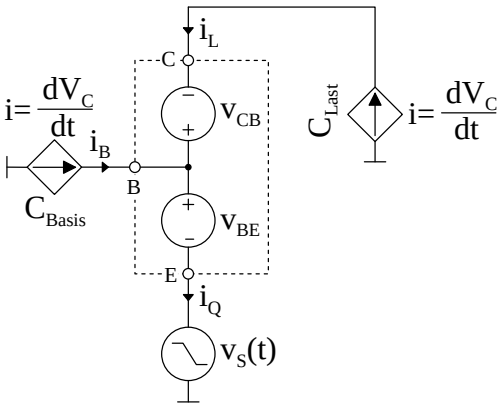

Abbildung 4.8: Ersatzschaltbild für das dynamische Verhalten während des Entladevorgangs

Da die Basisspannung um eine Diodenflussspannung größer (*npn*-Transistor) sein muss als die Emitterspannung, entsteht am Anfang der Entladerampe eine Spannungsstufe, bis diese Spannungsdifferenz erreicht ist. Um diesen Effekt abzumildern, wird der Basiskondensator mit einer etwas höheren Spannung vorgeladen als der Lastkondensator geladen ist. Dieser Wert muss so bestimmt sein, dass nur ein vernachlässigbarer Ruhestrom durch die Basis-Emitterdiode fließt. Gleichzeitig muss er aber so groß wie möglich sein, um die Spannungsstufe am Anfang zu minimieren.

Für einen Entladevorgang sind die Spannungsverläufe in Abbildung 4.10 dargestellt. Im unteren Teil stellt die mit Quadraten markierte Kurve den Spannungsverlauf der Quelle und damit die Emitterspannung des Transistors dar. Die obere Kurve ist die Basisspannung. Es ist deutlich zu sehen, dass die Basisspannung stets der Summe aus Emitterspannung und Flussspannung der Basis-Emitterdiode entspricht. Die verbleibende Kurve stellt den Spannungsverlauf am Kollektor dar, hier ist der schon oben beschriebene Sprung in der Spannung bei Erreichen der vollen Flussspannung der Basis-Emitterdiode und damit des vollen Kollektor-Emitterstroms zu erkennen. Danach liegt zwischen Kollektor und Emitter eine vergleichsweise geringe Flussspannung an, die Basis-Emitterspannung kann hier als direkte Referenz für eine Diodenflussspannung herangezogen werden.

Im oberen Teil der Abbildung 4.10 sind der Basisstrom und der Kollektorstrom dargestellt. Auch hier im Kollektorstrom (schwarze, mit stehenden Rechtecken markierte Kurve) ist der Sprung beim Einsetzen der vollen Flussspannung der Basis-Emitterdiode zu sehen.

Genauso interessant ist auch der Betrieb in Sperrrichtung. Eine Simulation hierfür ist in Abbildung 4.11 dargestellt. Der untere Teil der Abbildung stellt die Spannungsverläufe am Transistor bzw. an den Kondensatoren dar, die Kurven sind markiert wie zuvor. Die Basisspannung wird, während die Quellenspannung konstant ist, von einem zusätzlichen Schalter vollständig entladen. Dies ist notwendig, um Ruheströme durch die Basis und damit auch durch die Kollektor-Emitterstrecke zu vermeiden. Der Entladevorgang ist auch deutlich als der negative Strompuls in der Kurve des Stroms durch den Basiskondensator zu sehen (oberes Diagramm, obere Kurve). Der danach für die Dauer der ansteigenden Rampe entstehende Strom ist auf eine kapazitive Kopplung innerhalb des

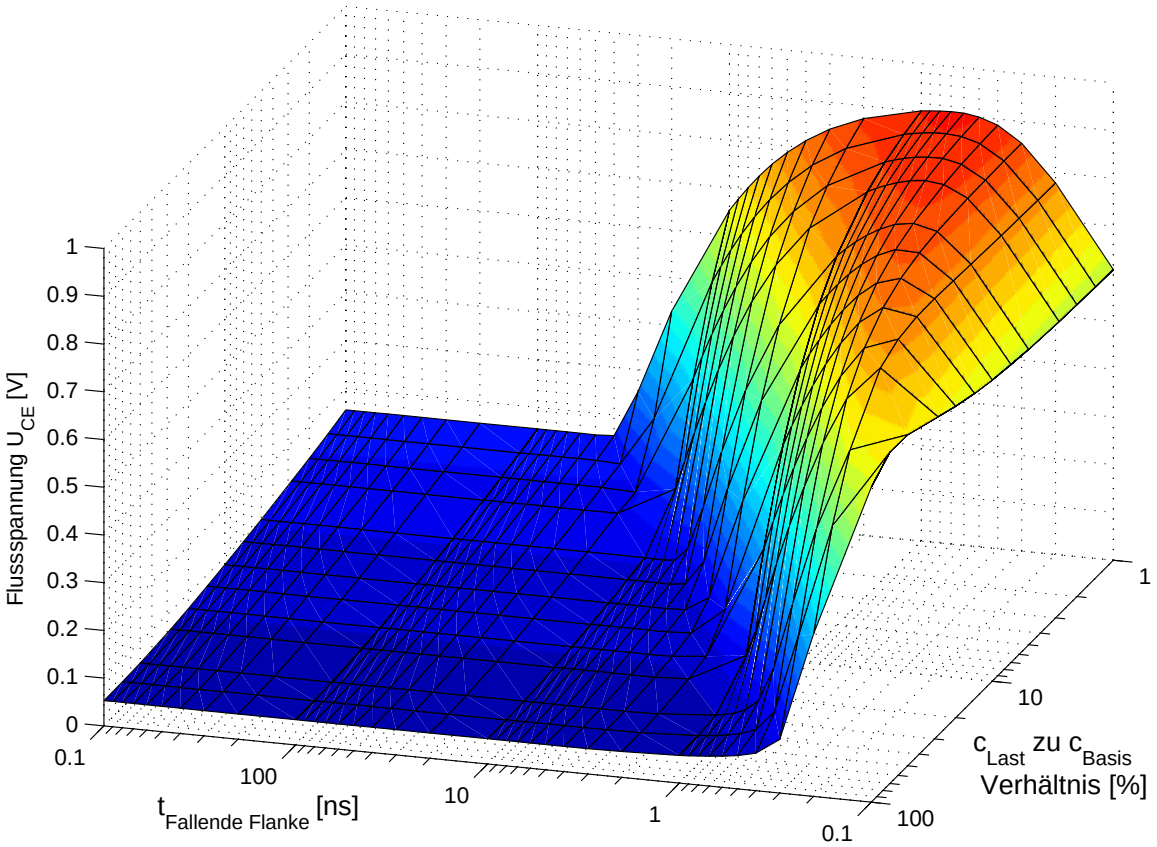

Abbildung 4.9: Simulation der Flussspannung für einen Kollektorstrom von $100\mu A$ als Funktion des Basisstroms und der Umladedauer

Transistors zurückzuführen. Am ebenfalls im oberen Diagramm dargestellten Laststrom (dem Kollektor-Emitterstrom) kann man erkennen, dass der Transistor während der steigenden Flanke der Quellenspannung tatsächlich gesperrt ist, der Strom ist praktisch null. Damit erfüllt der Transistor seine Diodenfunktion.

Aus diesen Spannungs- und Stromverläufen lässt sich auch die wiedergewonnene Energie bestimmen. Hierzu wird der Strom in die Basis- bzw. Lastkapazität mit der Quellenspannung multipliziert, dies ergibt die Leistung, die von der Quelle zurückgewonnen wird. Für die Lastkapazität ist der zugehörige Verlauf in Abbildung 4.12 (mit Rauten markierte Kurve) dargestellt, in Abbildung 4.13 (mit Dreiecken markierte Kurve) das Gleiche für die Basiskapazität. Integriert man die zurückgewonnene Leistung über die Zeit auf, so erhält man die zurückgewonnene Energie. Dies ist in Abbildung 4.12 (mit Dreiecken markierte Kurve) für die Lastkapazität getan, in Abbildung 4.13 (mit Rauten markierte Kurve) für die Basiskapazität.

Zuletzt kann noch der Wirkungsgrad berechnet, d. h. die zurückgewonnene Energie mit der ursprünglich in den Kapazitäten gespeicherten Energie verglichen werden. Für die Lastkapazität gilt in dieser Simulation

$$V_{high} = 2,9\,\mathrm{V}$$

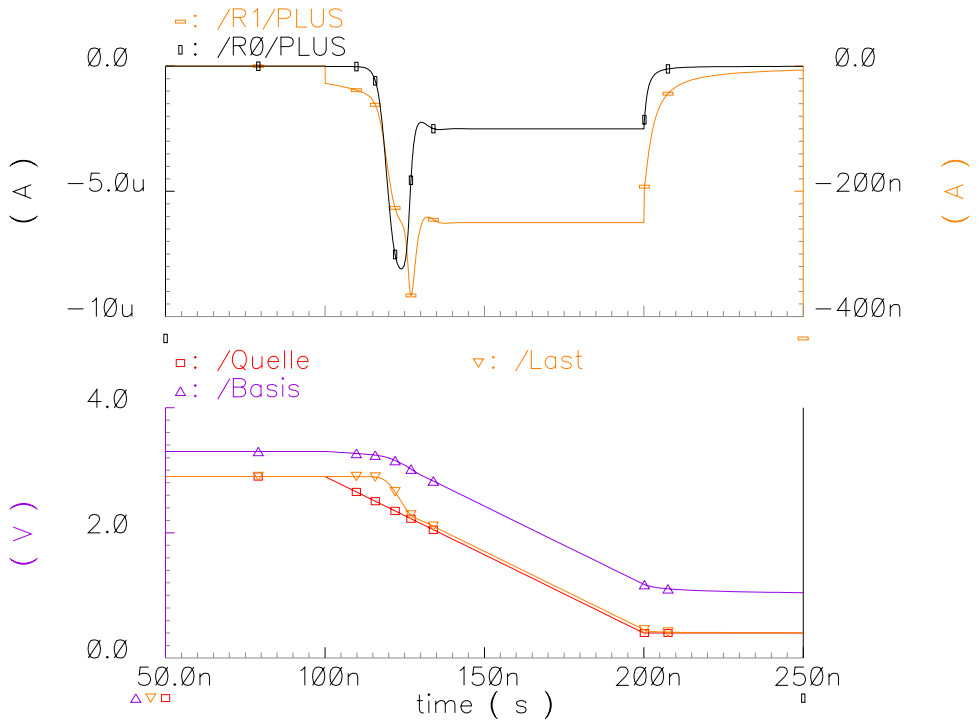

Abbildung 4.10: Simulierte Spannungs- und Stromverläufe im Diodenelement; Im oberen Diagramm sind der Laststrom (obere Kurve, linke Skala) und der Basisstrom (untere Kurve, rechte Skala) dargestellt. Das untere Diagramm zeigt die Spannungsverläufe am Transisitor

$$V_{low} = 0,4\,\mathrm{V}.$$

Als aus der Kapazität ($C_{Load} = 100\,\mathrm{fF}$) entnommene Energie ergibt sich

$$E_{Discharged,Load} = \frac{1}{2}C(V_{high}^2 - V_{low}^2) = 312,5\,\mathrm{fJ}.$$

Für die zurückgewonnene Energie kann aus der Simulation abgelesen werden

$$E_{recovered,Load} \approx 386\,\mathrm{fJ}.$$

Die gleiche Rechnung lässt sich für die Basiskapazität wiederholen

$$V_{high} = 3,3\,\mathrm{V}$$

$$V_{low} = 0\,\mathrm{V}.$$

Aus der Kapazität ($C_{Load} = 10\,\mathrm{fF}$) sind an Energie entnommen worden

$$E_{Discharged,Base} = \frac{1}{2}CV_{high}^2 = 54,5\,\mathrm{fJ}.$$

Als zurückgewonnene Energie kann aus der Simulation abgelesen werden

$$E_{recovered,Base} \approx 31,8\,\mathrm{fJ}.$$

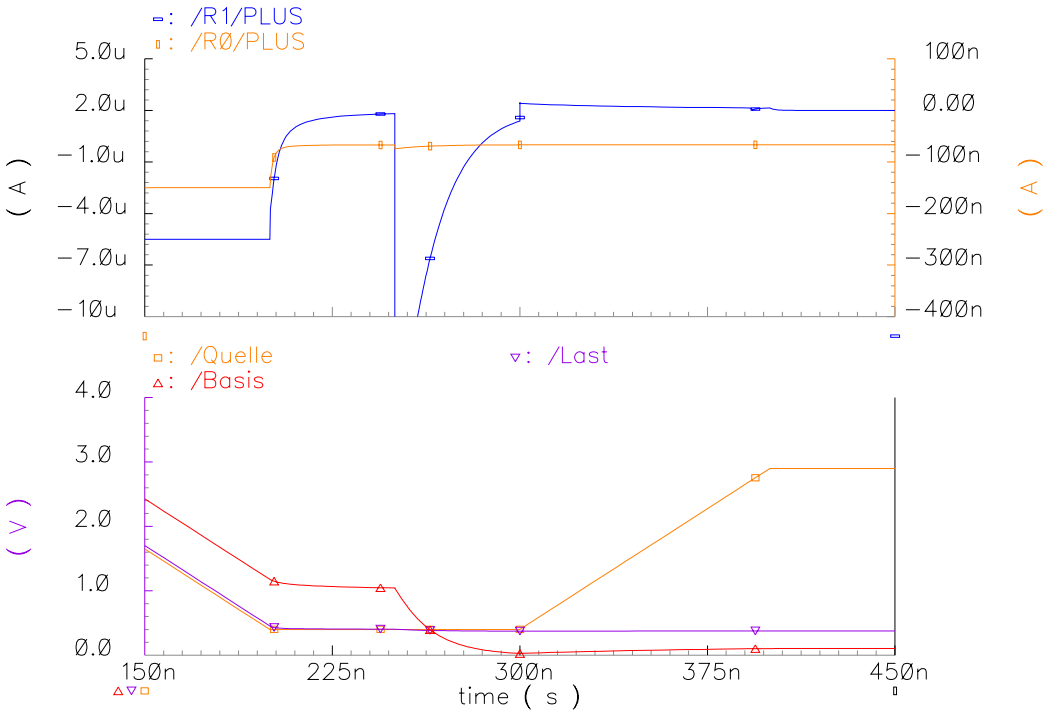

Abbildung 4.11: Das Diodenelement im Sperrbetrieb

Mit diesen Werten lässt sich der erreichte Wirkungsgrad berechnen:

$$\eta = \frac{E_{recovered,Load} + E_{recovered,Base}}{E_{Discharged,Load} + E_{Discharged,Base}} = \frac{386\,\text{fJ} + 31,8\,\text{fJ}}{412,5\,\text{fJ} + 54,5\,\text{fJ}} \approx 0,895. \tag{4.3}$$

Folglich ergibt sich ein Wirkungsgrad von knapp 90%. Dieser Wert berücksichtigt nicht die Basis-Kollektorkapazität des Transistors ($\approx 5\,\text{fF}$), sodass bei einer genauen Rechnung der Wirkungsgrad etwas geringer ausfällt.

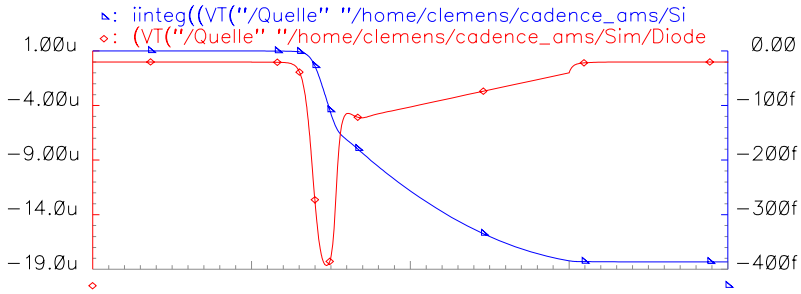

Abbildung 4.12: Zurückgewonnene Leistung und Energie vom Lastkondensator: Die mit Rauten markierte Kurve ist die Leistung in μW, die mit Dreiecken markierte Kurve die Leistung in fJ

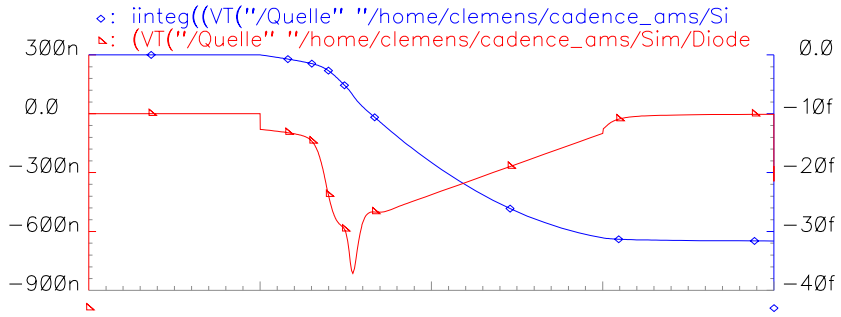

Abbildung 4.13: Zurückgewonnene Leistung und Energie vom Basiskondensator: Die mit Dreiecken markierte Kurve ist die Leistung in nW, die mit Rauten markierte Kurve die Leistung in fJ

4.4 Flussspannung von Bipolartransistoren

Das meistverwendete Modell für Bipolartransistoren ist das von *Gummel* und *Poon* [11] vorgeschlagene *Transportmodell*, die hierbei verwendete Ersatzschaltung ist in Abbildung 4.14 [34] dargestellt. Erweiterungen dieses Modells werden auch zur Schaltungssimulation z. B. in Spice [6] und seinen Derivaten verwendet. Die besondere Stärke dieses Modells liegt in der einfachen Darstellung des vorwärts-aktiven Betriebs als häufigste Betriebsart.

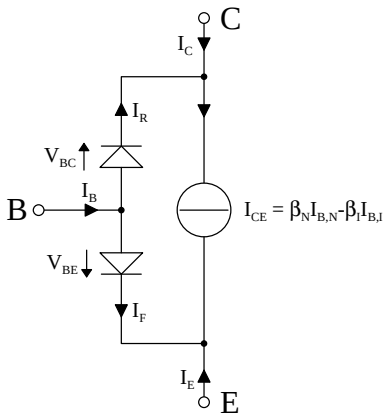

Abbildung 4.14: Ersatzschaltbild eines *npn*-Bipolartransistors als *Transportmodell*

Schwieriger wird es jedoch beim Betrieb in Sättigung, da dann der durch die Kollektor-Emitterstrecke fließende Strom durch die äußere Beschaltung bestimmt wird. Dies führt dazu, dass die Spannung über die Stromquelle negativ werden kann, wodurch ein Teil des Basisstroms über die Basis-Kollektordiode in die Kollektor-Emitterstrecke abgeleitet und damit der Basis-Emitterstrom verringert wird. Hierdurch stellt sich wieder ein Gleichgewicht zwischen Basis-Emitterstrom und dem aus der Stromverstärkung folgenden Kollektor-Emitterstrom ein. Durch die Gewichtung [10] der Sättigungsströme der Basis-Kollektor bzw. Basis-Emitterdiode mit $I_{S,BE} = I_S/\beta_F$ bzw. $I_{S,BC} = I_S/\beta_R$ wird dabei verhindert, dass die Spannung über die Kollektor-Emitterstrecke negativ wird, wie

dies bei einigen einfachen Transportmodellen geschieht.

Als Ansatzgleichung wird dazu mit der *Shockley*-Gleichung die Kollektor-Emitterspannung bestimmt:

$$V_F = V_{BE} - V_{BC} = V_T \cdot \ln\left(\frac{\frac{I_{BE}}{I_S} \cdot \beta_F + 1}{\frac{I_{CE}}{I_S} \cdot \beta_R + 1}\right) \approx V_T \cdot \ln\left(\frac{I_{BE} \cdot \beta_F}{I_{CE} \cdot \beta_R}\right).$$

Weiterhin werden die beiden Gleichungen für die Ströme im Transistor benötigt:

$$I_{BE} + I_{BC} = I_B$$
$$I_C + I_{BC} = \beta_F \cdot I_{BE} - \beta_R \cdot I_{BC}.$$

Mit einigen Umformungen ergibt sich daraus die Flussspannung in Sättigung:

$$V_F = V_T \cdot \ln\left(\frac{\beta_F}{\beta_R} \cdot \frac{I_C + (1 + \beta_R) \cdot I_B}{\beta_F \cdot I_B - I_C}\right). \tag{4.4}$$

Die Parameter β_F sind dabei die Stromverstärkung im vorwärts-aktiven Betrieb und β_R die Stromverstärkung im rückwärts-aktiven Betrieb. V_T ist wie gewöhnlich die thermische Spannung.

Als Zahlenbeispiel können Werte aus dem in den späteren Kapiteln dargestellten Prozess verwendet werden. Für einen *npn*-Bipolartransistor gelten hierbei als typische Werte [33]: $\beta_F = 160$ und $\beta_I = 1,6$. Als Kollektor-Emitterstrom wird $I_C = 100\,\mu$A, als Basisstrom $I_B = 5\,\mu$A und als thermische Spannung $V_T = 26\,$mV. Daraus ergib sich nach Gleichung 4.4 eine Kollektor-Emitterspannung von $V_{CE} = 72,3$ mV. Dies sind nur etwas mehr als 10% der Flussspannung einer Siliziumdiode von $V_F = 0,7$ V, obwohl der Transistor ebenfalls ein Siliziumtransistor ist.

4.5 Zusammenfassung

Sollen in einer Schaltung Gatter mit Ladungswiedergewinnung eingesetzt werden, so ist es wünschenswert, dass nicht für jedes einzelne Gatter ein Leistungstaktgenerator benötigt wird. Dies erfordert jedoch eine Entkopplung der einzelnen Gatter, um Kurzschlüsse zwischen umzuladenden und bereits umgeladenen Stufen zu vermeiden. Diese Funktion erfüllen Dioden. Vergleicht man die Flussspannung von Siliziumdioden mit der Versorgungsspannung, so zeigt sich, dass der erreichbare Wirkungsgrad bereits bei Versorgungsspannungen von 3,3 V und weniger nicht mehr akzeptabel ist. Aus der Untersuchung der halbleiterphysikalischen Eigenschaften folgt, dass mittels Veränderung der Dotierung keine wesentliche Optimierung bezüglich der Flussspannung mehr möglich ist.

Als Alternative wurde das bipolartransistor-basierte Diodenelement vorgestellt. Dieses nutzt die Eigenschaft von Bipolartransistoren, dass die Spannung über die Kollektor-Emitterstrecke beim Betrieb in der Sättigung deutlich kleiner als eine vergleichbare Diodenflussspannung ist. Zudem lässt sich die in *CMOS*-Digitalschaltungen vorliegende Eigenschaft der reinen kapazitiven Last dahingehend verwenden, dass die Basisstromgenerierung mittels Kapazitäten erfolgt, was zu einer guten Integrierbarkeit und weitestgehend

zu einer Frequenzunabhängigkeit (bzw. einer Unabhängigkeit von der Flankensteilheit) führt.

Kapitel 5

Erweiterung des Diodenelements zur Gegentaktstruktur

Im letzten Kapitel wurde ein Diodenelement basierend auf Bipolartransistoren vorgestellt. Dieses Kapitel stellt dar, wie dieses Diodenelement in die adiabatische Logikfamilie *QSERL* aus Kapitel 3.6.1 eingebettet werden kann. *QSERL* bietet gegenüber der dynamischen adiabatischen Logik den Vorteil, dass sie statische Ausgangspegel verwendet, d. h. es treten nur Zustandsänderungen am Ausgang auf, wenn dies durch Änderung der Eingangssignale erforderlich wird. Hierdurch verbessert sich der Wirkungsgrad deutlich, zudem werden die Pegel kompatibel zu *CMOS*-Gattern.

Im Rahmen dieses Kapitels wird zunächst die eigentliche Schaltungsstruktur beschrieben, anschließend anhand von Simulationsergebnissen das Verhalten im Betrieb dargestellt. Der Schwerpunkt dieses Kapitels liegt in einer qualitativen Beschreibung der Schaltungsstruktur, vor allem der Funktionsweise. Exakte Werte werden in den folgenden Kapiteln dargestellt.

5.1 Schaltung der Gegentaktstruktur

Abschnitt 3.6.1 beschäftigt sich mit zwei Konzepten für *CMOS*-ähnliche adiabatische Logik mit statischen Ausgangspegeln: *FS-CAMOS* sowie *QSERL*. Diese Konzepte sind prinzipiell gleich, der wesentliche Unterschied liegt nur in der Position der Dioden. Das Prinzipschaltbild für *fs-CAMOS* ist noch einmal in Abbildung 5.2 und das Prinzipschaltbild für *QSERL* noch einmal in Abbildung 5.3 wiedergegeben. In diesen beiden Konzepten sind die Dioden bzw. die Diodenersatzschaltungen aus *MOSFETs* die den Wirkungsgrad begrenzenden Elemente. Daher bietet sich an, das im vorigen Kapitel dargestellte Diodenelement in diese Logikfamilien einzubetten.

Hierzu wird das im Abschnitt 4 dargestellte Diodenelement so erweitert, dass es auch im Gegentaktbetrieb betrieben werden kann. Diese Schaltung ist in Abbildung 5.1 dargestellt. Die beiden Schalter stehen dabei für die logischen Verknüpfungsnetzwerke, die komplementär zueinander arbeiten. Im Gegensatz zu *CMOS*-Gattern sind diese Verknüp-

fungsnetzwerke jedoch aus *Pass-Gates* aufgebaut. Die Erweiterung des Diodenelements auf Gegentaktbetrieb ist gegenüber einem getrennten *npn*- und *pnp*-Element günstiger, da ein gemeinsamer Basiskondensator verwendet werden kann. Damit wird ein Teil des Basisstroms der Transistoren ein *Blindstrom*, da der Kondensator über den *pnp*-Transistor aufgeladen und über den *npn*-Transistor anschließend wieder entladen wird, sodass diese Ladungsmenge nicht aus einer separaten Quelle nachgespeist werden muss.

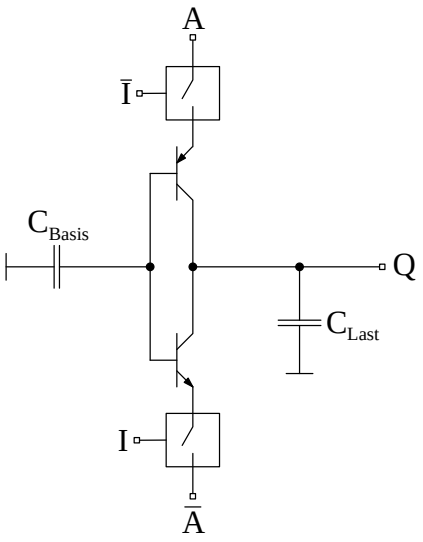

Abbildung 5.1: Erweiterung des im vorigen Kapitel vorgestellten Diodenelements für den Gegentaktbetrieb

Vergleicht man die Basisstruktur für das Gegentakt-Diodenelement mit den Prinzipschaltbildern für die Logikfamilien *fs-CAMOS* und *QSERL*, so ist gut zu erkennen, dass sich das Diodenelement nahtlos in die Logikfamilie *CAMOS* einfügen lässt.

Wird eine Logikstufe mit dem Diodenelement betrieben, so entstehen bei den Umladevorgängen Flussspannungsverluste, durch die das Ausgangsnetz nicht auf die volle Spannung aufgeladen oder entladen wird. Gleiches gilt auch für das Basisnetz in noch stärkerer Form, da durch die Flussspannungen der Basis-Emitterdioden in den Transistoren eine erhebliche Spannungsdifferenz entsteht, der ebenfalls das Auf- oder Entladen auf die volle Spannung verhindert. Daher sind im Betrieb Hilfsschalter notwendig, die nach einem Umladevorgang die Netze auf ihre vollen Spannungen auf- oder entladen. Diese Schalter werden teilweise von einem anderen Leistungsphasenpaar des Umladetakts (einem 90° versetztem Takt) gesteuert, teilweise müssen aber zusätzliche Signale bereitgestellt werden. Dies geschieht durch die Verwendung einer zusätzlichen invertierten Stufe. Diese Stufe führt die gleiche logische Funktion aus wie die eigentliche, nicht invertierte (normale) Stufe, eben nur invertiert. Der daraus resultierende Schaltplan für eine vollständige Stufe ist in Abbildung 5.4 dargestellt.

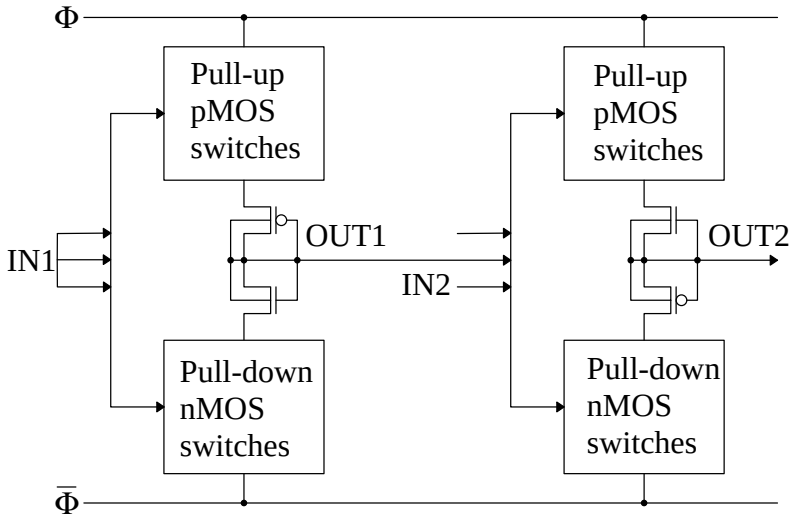

Abbildung 5.2: Prinzipielle Struktur der Logikfamilie *fs-CAMOS* [7]

5.2 Betrieb der Gegentaktstruktur

Der wesentliche Unterschied zwischen adiabatischer und CMOS-Logik liegt darin, dass bei adiabatischer Logik die Signalwechsel explizit durchgeführt werden müssen; dies ist der eigentliche Umladevorgang. Daher benötigt in adiabatischer Logik jede Stufe einen Takt, es entsteht eine *Pipeline*-Struktur, jede adiabatische Stufe bildet quasi ein Register.

Zusätzlich werden noch Hilfsschalter benötigt, die einzelne Netze auf die volle Spannung auf- oder entladen, um Umladeverluste bzw. Flussspannungen auszugleichen, oder zum Ausgleich von Leckströmen. Zusätzlich vermindert dies die Ruheströme durch die Bipolartransistoren, da die Basis-Emitterspannung näherungsweise auf null gebracht wird. Ein Zyklus des Gegentakt-Diodenelements teilt sich daher in vier Phasen:

1. In der ersten Phase können die neuen Werte für die Eingangsvariablen eingestellt werden. Dabei muss sichergestellt sein, dass die Umladetaktsignale im 'Ruhezustand' des jeweiligen Elements sind. Das bedeutet, dass entweder keine Spannungsdifferenz über die Diodenelemente anliegt oder die Diodenelemente in Sperrrichtung gepolt sind. Das Ausgangssignal ist währenddessen stabil und hat den Wert des Zyklus n_{-1}.

2. In der zweiten Phase erfolgt der eigentliche Wechsel des Zustands, sofern erforderlich. Da der Ausgangszustand dabei gegebenenfalls verändert wird, ist der Ausgangszustand in dieser Phase ungültig.

3. In der dritten Phase werden die Netze nach dem Umladen auf ihre volle Spannung aufgeladen oder entladen, um durch Flussspannungen und Widerstände im Umladepfad entstandene Spannungsverluste gegenüber den Sollwerten auszugleichen. Das Ausgangssignal der Stufe ist in diesem Zyklus stabil und gültig und kann bereits von der nächste Stufe als Eingangssignal verwendet werden.

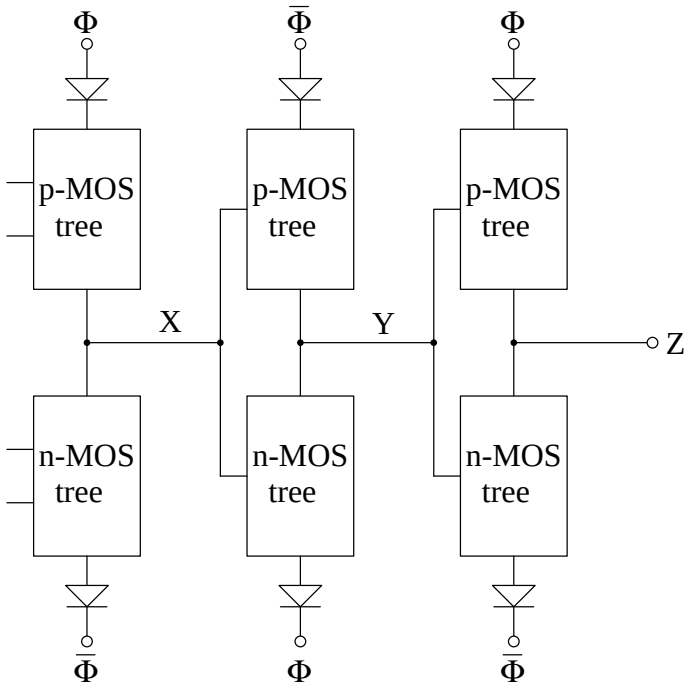

Abbildung 5.3: Prinzipielle Struktur der Logikfamilie *QSERL* [41]

4. In der letzten Phase muss nun der Umladetakt wieder in seinen Ruhezustand zurückgeführt werden. Da die Diodenelemente nur in eine Richtung arbeiten (Flussrichtung), kann dieser Wechsel nicht zum Umladen für einen weiteren Zustandwechsel genutzt werden. Allerdings ist der Ausgangszustand in dieser Phase weiterhin gültig und stabil, sodass die nachfolgenden Stufen das Ausgangssignal verwenden können.

Um dies schaltungstechnisch realisieren zu können, wurde ein Vierphasen-Taktsystem entwickelt, bestehend aus zwei Taktsignalen sowie den komplementären Signalen. Der prinzipielle zeitliche Verlauf dieser Signale ist in Abbildung 5.5 dargestellt.

Zwischen den einzelnen Wechseln einer Phase sind Pausen eingefügt, in denen Zustandswechsel durch die andere Phase durchgeführt werden können. In jeder Stufe dient jeweils ein Phasenpaar (zum Beispiel $A+$ und $A-$) als Leistungsphase, die den eigentlichen Umladevorgang steuert, das andere Phasenpaar als Steuerphase (dies wäre dann $B+$ und $B-$), mittels dessen die Hilfsschalter gesteuert werden. Da die nächste Stufe in der *Pipeline*-Struktur nur einen Phasenversatz von 90° benötigt, kann sie die Hilfsphase der vorherigen Stufe als Leistungsphase benutzen. Hierdurch entsteht eine hohe *Pipeline*-Taktrate bei vergleichsweise niedrigem Takt ($f_{Pipeline} = 4 \cdot f_{Clock}$), gleichzeitig werden alle Phasen einigermaßen gleich belastet.

Die Spannungsverläufe einer vollständigen Stufe, bestehend aus einem normalen und einem invertierten Teil, sind in Abbildung 5.6 dargestellt. Der Schaltplan der Stufe ist in Abbildung 5.7 dargestellt, der Schaltplan der Simulationsumgebung in Abbildung 5.8. Im untersten Kurvenzug ist das Taktsignal $B+$ und das zugehörige komplementäre Signal $B-$ dargestellt, darüber das Taktsignal $A+$ ebenfalls mit dem zugehörigen komplemen-

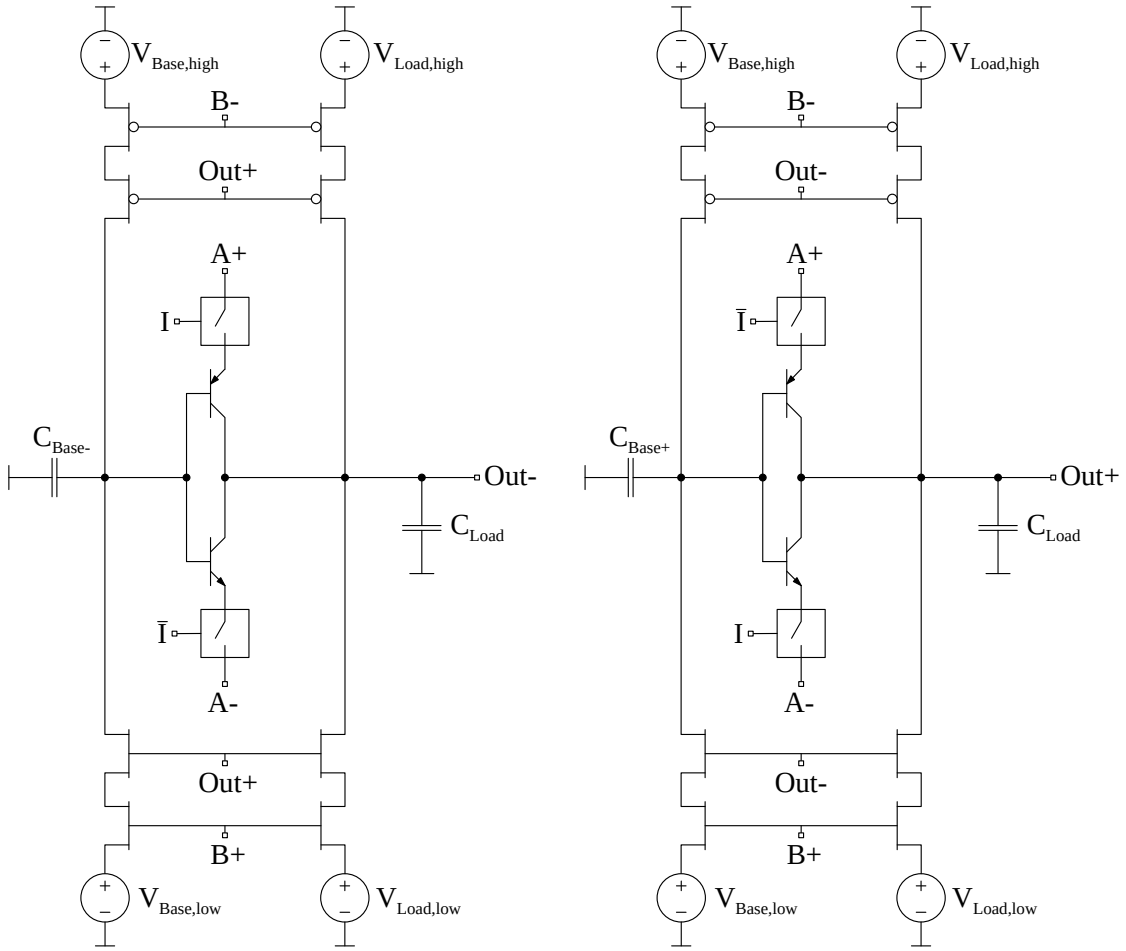

Abbildung 5.4: Schaltplan einer *biQSERL*-Stufe

tären Signal $A-$. Der mittlere Kurvenzug zeigt das Eingangssignal ebenfalls mit dem zugehörigen komplementären Signal, darüber die Ausgangssignale $Q+$ und $Q-$. Es ist gut zu erkennen, dass die Ausgangssignale bis zu einer Änderung am Leistungstakt $A+$ bzw. $A-$ auch bei Änderungen an den Eingängen stabil bleiben, die Stufe also einen Speicher bildet. Erst mit einer Änderung der Leistungsphasen $A+$ bzw. $A-$ ändern sich auch die Ausgänge. Als oberster Kurvenzug sind die Spannungsverläufe an den Basen der Transistoren bzw. an den Steuerkondensatoren dargestellt. Diese entspricht auch den Spannungen an den Leistungsphasen, allerdings abzüglich (beim Aufladen, d. h. während der *pnp*-Transistor aktiv ist) bzw. zuzüglich der Basis-Emitterspannung V_{BE} des jeweils aktiven Transistors. Erst kurze Zeit später wird das jeweilige Netz mittels der *pull-up* bzw. *pull-down-MOSFETs* auf den endgültigen Wert gebracht.

Es ist anhand der Spannungsverläufe gut zu erkennen, dass die Spannungen der Basisnetze den Spannungen der Leistungsphasen abzüglich der Flussspannungen der Bipolartransistoren folgen, erst kurze Zeit später werden die Basisnetze durch zusätzliche Schalter auf ihre vollen Spannungen gebracht. Dieses Nachladen auf volle Spannungen ist wichtig, da es die Ruheströme reduziert und außerdem Voraussetzung für das Erreichen des vollen Spannungshubs im nächsten, gegenläufigen Zyklus ist.

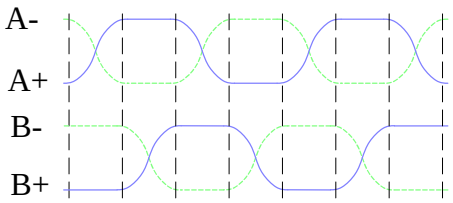

Abbildung 5.5: Prinzipieller Verlauf des Vierphasentakts

Die im Betrieb fließenden Ströme sind in Abbildung 5.9 dargestellt. Der unterste Kurvenzug sind die Leistungsphasen $A+$ bzw. $A-$, darüber die zugehörigen Ströme. Da ein *biQSERL*-Element immer nur mit der steigenden Flanke der Phase $A+$ die Lastkapazität auflädt, wird auch immer nur mit der Phase $A+$ Strom in die Last gespeist. Umgekehrt wird die Last immer über die Phase $A-$ entladen, daher dient $A-$ für diese Stufe nur als Ladungswiedergewinnungsphase. Werden mehrere *biQSERL*-Stufen hintereinander geschaltet, so würde die nächste Stufe die Phase $B+$ zum Aufladen und $B-$ zum Entladen verwenden, da ein Phasenversatz von 90° zwischen zwei Stufen ausreichend ist. Die nachfolgende, also dritte Stufe, würde $A-$ zum Aufladen und $A+$ zum Entladen verwenden. Damit gleichen sich Auf- und Entladeströme bei größeren Schaltungen innerhalb einer Phase zumindest teilweise wieder aus. Der Leistungsoszillator hat daher vor allem die Aufgabe, eine definierte Spannung in der jeweiligen Phase zu erzeugen.

Die Strompulse während der Übergänge der Leistungsphasen ohne Umladen der Ausgänge entstehen durch kapazitive Durchkopplungen, dies zeigt sich auch in dem wechselnden Vorzeichen der Strompulse.

Im mittleren Kurvenzug sind die Ausgangsspannungsverläufe dargestellt, darüber die Nachlade- ($V0/PLUS$) bzw. Entladeströme ($V1/PLUS$) für die Ausgangsnetze. Es ist deutlich zu sehen, dass nach einem Umladevorgang ein erheblicher Nachlade- bzw. Entladestrom erforderlich ist, um die Ausgänge auf ihre endgültigen Spannungen zu bringen. Ebenso ist die Verzögerung zwischen dem Umlade- und dem Nachladevorgang zu erkennen, der aus der Verwendung unterschiedlicher Phasen des Vierphasensignals entsteht. Die Strompulse nach Übergängen der Leistungsphasen ohne Änderung der Ausgänge entstehen ebenfalls durch den Ausgleich kapazitiver Durchkopplungen; sie wechseln in ihrem Vorzeichen und haben daher den Mittelwert Null, sind also reine Blindströme.

In den oberen Kurvenzügen sind die Spannungsverläufe an den Basisnetzen sowie im obersten Diagramm die Nachlade- ($V2/PLUS$) bzw. Entladeströme ($V3/PLUS$) der Basisnetze dargestellt.

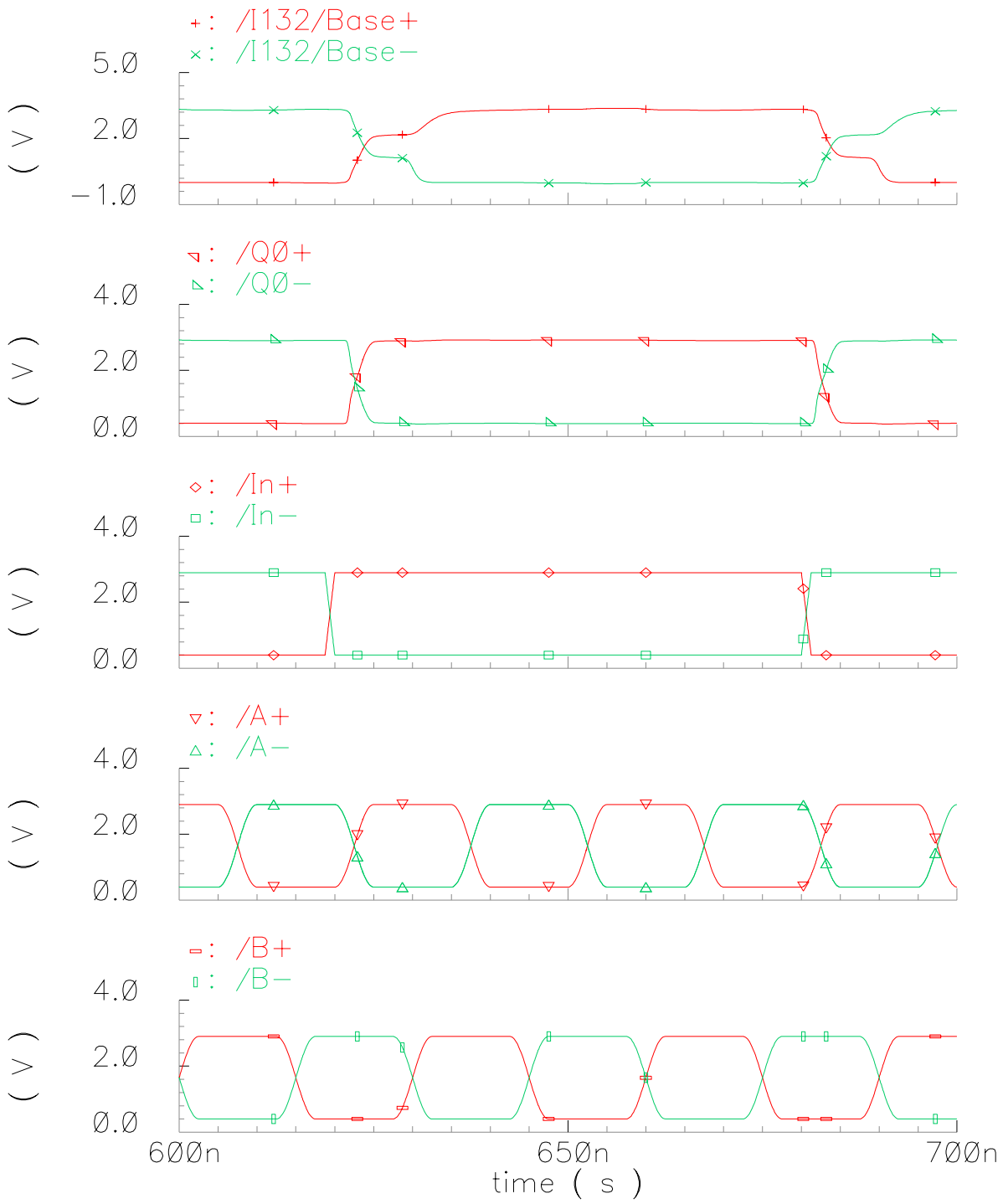

Abbildung 5.6: Spannungsverläufe einer *biQSERL-Stufe* (von unten nach oben): Hilfsphasen $B+$ bzw. $B-$, Leistungsphasen $A+$ bzw. $A-$, die Eingänge $In+$ und $In-$, die Ausgänge $Q0+$ und $Q0-$ sowie die Basisspannungen.

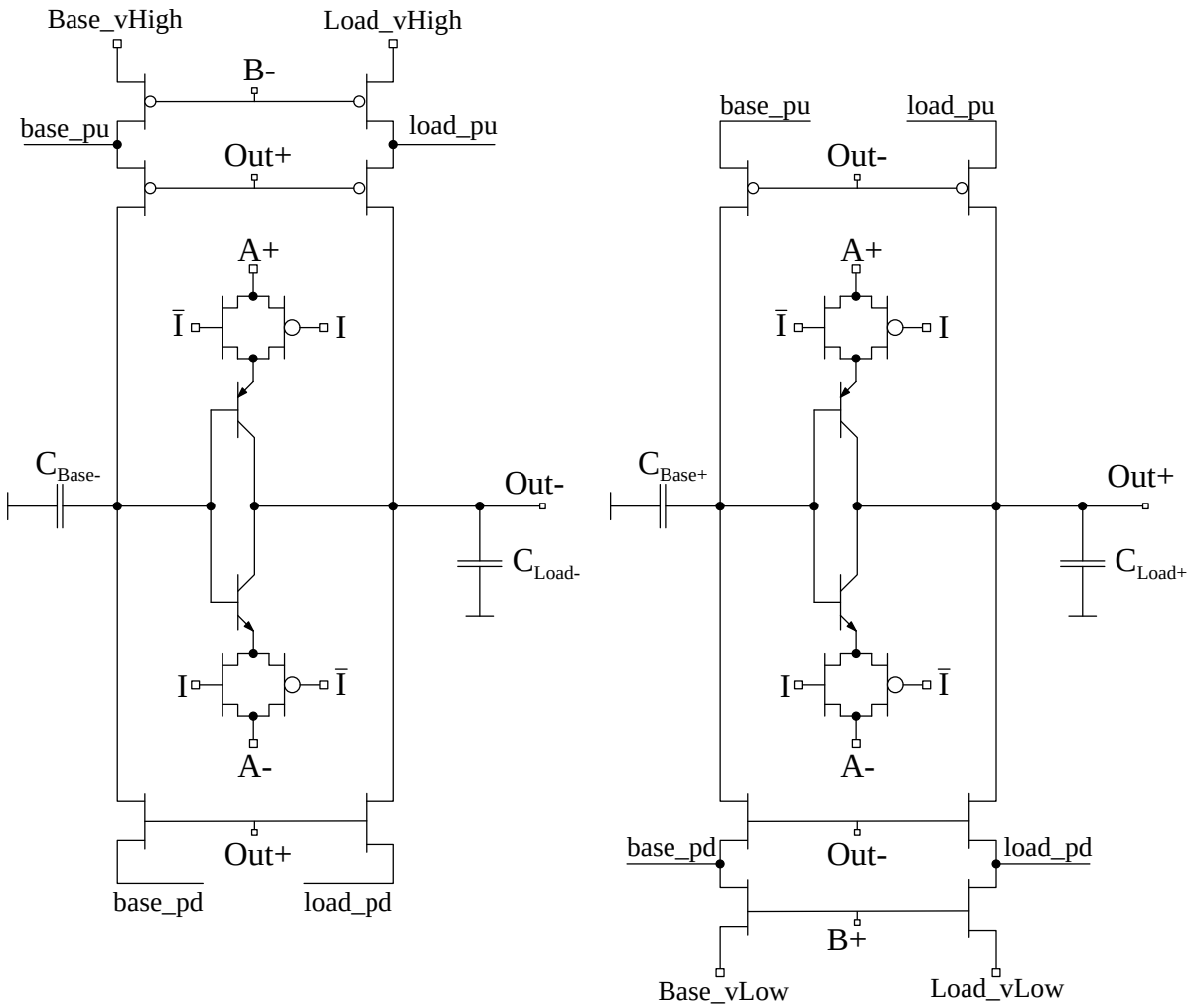

Abbildung 5.7: In der Simulation verwendeter Schaltplan einer biQSERL-Stufe. Die Transistoren der *Pass-Gates* sind standardmäßig dimensioniert mit $w_n = 10\,\mu$m und $l_n = 0,35\,\mu$m bzw. $w_p = 15\,\mu$m und $l_p = 0,35\,\mu$m; Die Transistoren der Hilfsschalter sind standardmäßig dimensioniert mit $w_n = 0,4\,\mu$m und $l_n = 1\,\mu$m bzw. $w_p = 0,4\,\mu$m und $l_p = 1\,\mu$m.

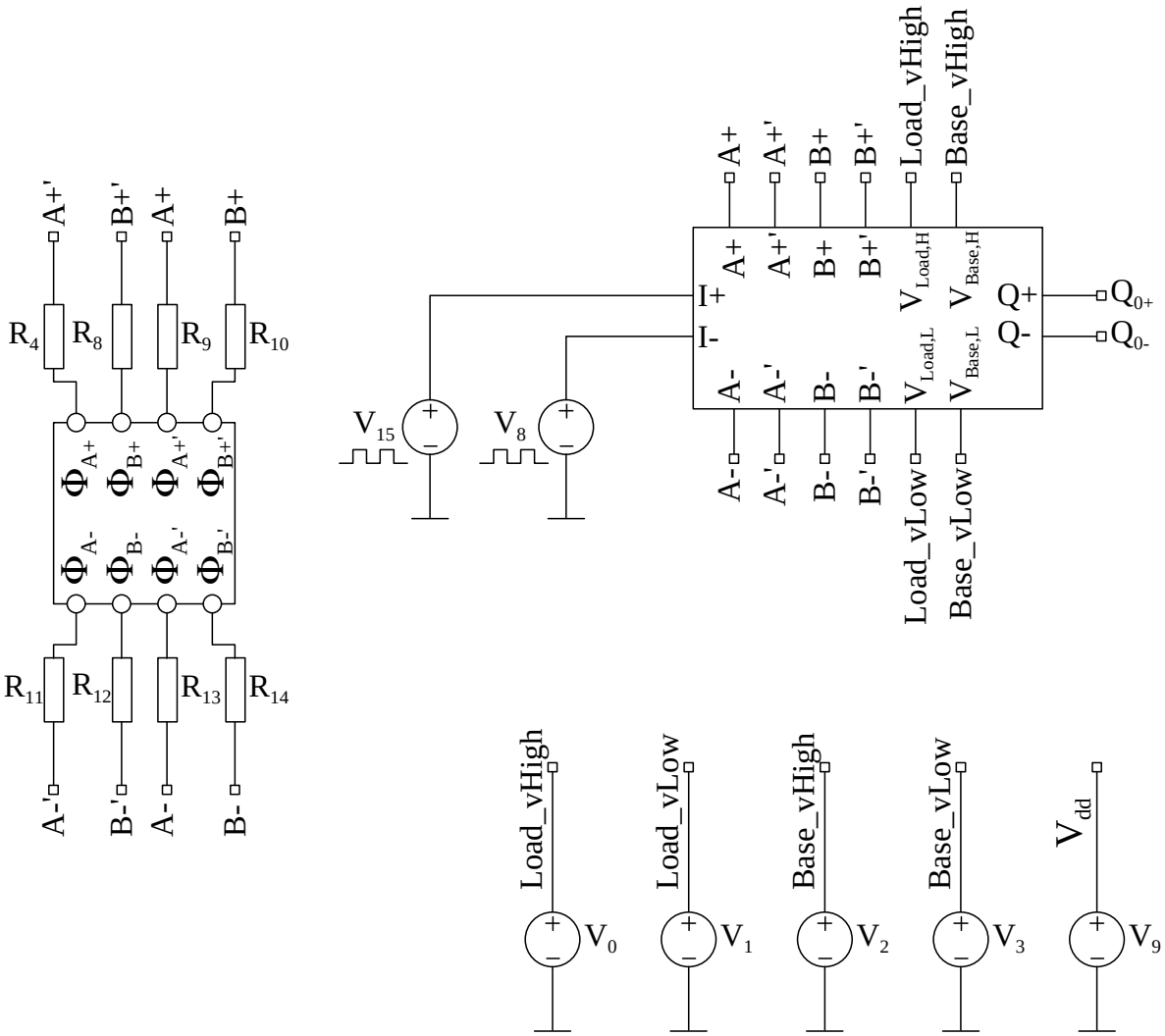

Abbildung 5.8: Simulationsumgebung: Der linke Teil ist der Leistungsphasengenerator, oben rechts das eigentliche *biQSERL*-Modul. Die zusätzlichen Phasen $A+'$, $A-'$, $B+'$ und $B-'$ sind zur Initialisierung der Struktur notwendig, verhalten sich im Betrieb aber identisch mit den normalen Phase, $A+$, $A-$, $B+$ und $B-$.

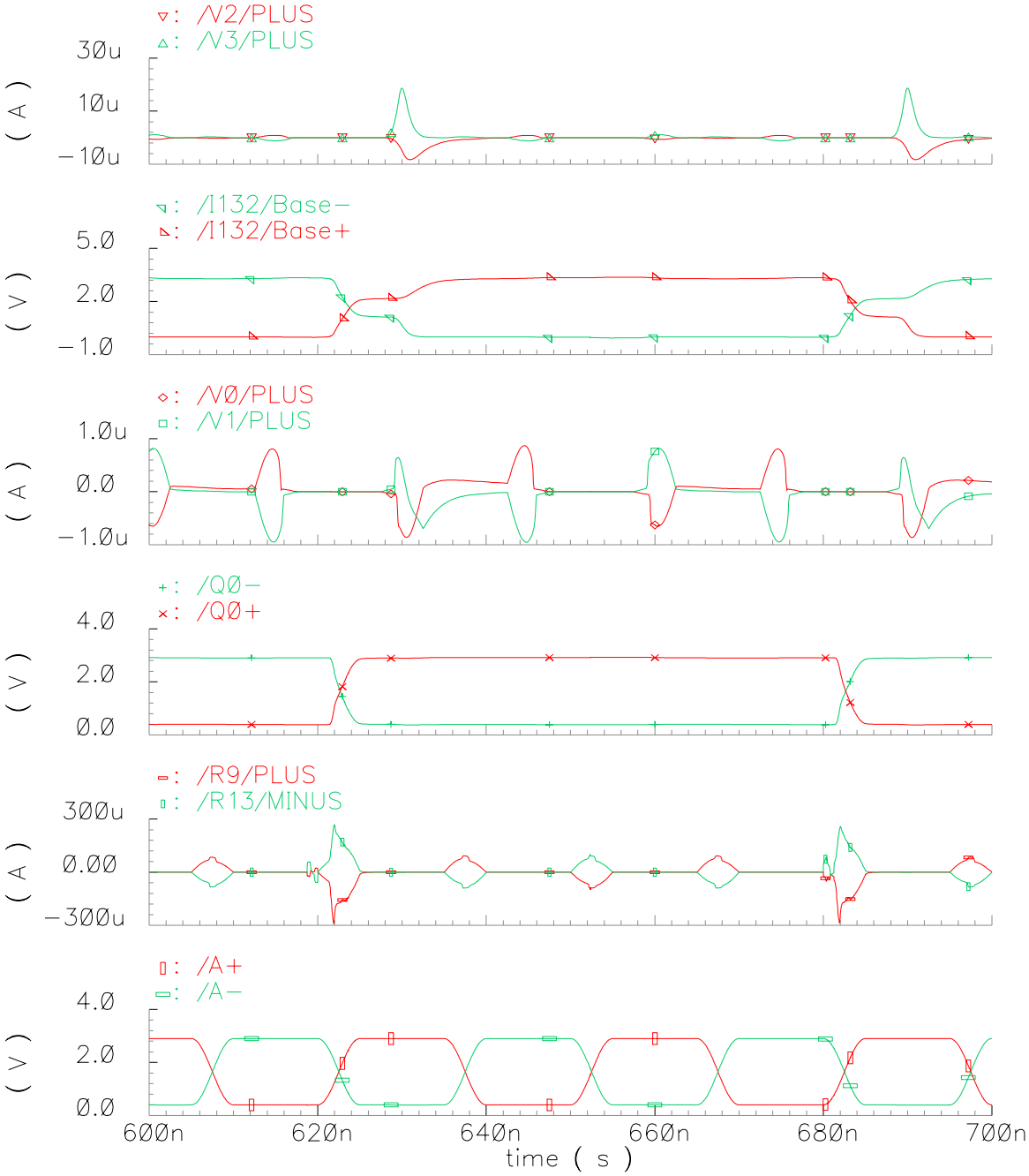

Abbildung 5.9: Ströme und Spannungen einer *biQSERL-Stufe* (von unten nach oben): Leistungsphasen $A+$ bzw. $A-$, die zugehörigen Ströme ($R9/PLUS$ für $A+$ bzw. $R13/MINUS$ für $A-$), Ausgänge $Q0+$ und $Q0-$, die Ausgleichsströme für die Ausgangsnetze ($V0/PLUS$ von der Versorgungsspannung und $V1$ der Entladestrom gegen Masse), die Basisspannungen sowie die Ausgleichsströme ($V2/PLUS$ von der Versorgungsspannung und $V3$ der Entladestrom gegen Masse).

In Abbildung 5.10 sind neben den Spannungsverläufen der Leistungsphasen $A+$ bzw. $A-$ noch die Ströme und Ladungen dargestellt. Der unterste Kurvenzug ist wieder der Spannungsverlauf, darüber der Stromverlauf und darüber die Ausgangsnetze. Im zweit obersten und dritt obersten Kurvenzug sind die Summen der Ströme über die Zeit für $A+$ (dritt oberster) bzw. $A-$ (zweit oberster Kurvenzug) dargestellt. Es ist gut zu erkennen, dass Phase $A+$ nur Strom bzw. Ladung in die Schaltung einspeist, während Phase $A-$ nur Ladung zurückgewinnt. Dass bei jeder Transition sowohl die Ladungssumme von $A+$ wie auch von $A-$ wächst, liegt daran, dass das *biQSERL*-Element eine doppelte Struktur ist, die sowohl das normale wie auch das invertierte Signal liefert. Jede Transition entspricht daher zwei Wechseln, einem von $V_{Out,low}$ nach $V_{Out,high}$ und einem von $V_{Out,high}$ nach $V_{Out,low}$, d. h. einem Lade- und einem Entladezyklus. Im obersten Kurvenzug ist zusätzlich die Summe der Summen über die Zeit der Ströme in den Phasen $A+$ und $A-$ über die Zeit dargestellt. Hier ist deutlich zu sehen, dass diese Summe konstant bleibt, dass also über die Phase $A-$ genauso viel Ladung zurückgewonnen wird, wie über die Phase $A+$ eingespeist wird. Dass sich an dieser Stelle keine Verluste bemerkbar machen, liegt an der guten Symmetrie der Schaltung sowie den über getrennte Versorgungsspannungsnetze aufgebauten Ausgleichsschaltern.

Will man die Leistungsaufnahme der Schaltung untersuchen, so muss zusätzlich die Spannung berücksichtigt werden, da Leistung das Produkt aus Strom und Spannung ist, also

$$P(t) = v(t) \cdot i(t).$$

Entsprechend ist die Leistungsaufnahme

$$P = v_{A+}(t) \cdot i_{A+}(t) - v_{A-}(t) \cdot i_{A-}(t).$$

Obwohl von den Leistungsphasen $A+$ und $A-$ im Mittel keine Ladung geliefert wird, ist die Leistungsaufnahme nicht ganz null, da durch Flussspannungen und Ähnlichem eine Spannungsdifferenz zwischen Einspeisen und Zurückgewinnen der Ladung entsteht, die zwar keinen Ladungsverlust, wohl aber einen Leistungsumsatz zur Folge hat.

In Abbildung 5.11 sind im mittleren Kurvenzug die Spannungsquellen der Ausgleichsschalter für die Basiskapazitäten dargestellt. $V2$ ist dabei die Versorgungsspannung $V_{Base,high}$ und $V3$ die Versorgungsspannung $V_{Base,low}$. In den oberen beiden Kurvenzügen sind die zeitlichen Summen der Basisschalter dargestellt. Hierbei ist eine deutliche Ladungsaufnahme sowie -abgabe von ≈ 35 fC je Transition zu erkennen. Dies resultiert aus der nur teilweisen Auf- bzw. Entladung der Basiskondensatoren bedingt durch die Flussspannung der Basis-Emitterstrecken der Bipolartransistoren. Vergleicht man die ausgeglichene Ladungsmenge mit dem Erwartungswert, so ergibt sich eine Differenz. Diese resultiert aus der gegenüber dem Basiskondensator größeren Kapazität des Basisnetzes bedingt durch die Basiskapazitäten der Bipolartransistoren sowie durch Kanalkapazitäten der *MOSFET*s. Hieraus lässt sich auch die Leistungsaufnahme berechnen, da der Nachladeschalter fest an die Spannung $V_{Base,high}$ (typisch ist $V_{Base,high} = 3,3$ V) geschaltet ist. Es ergibt sich bei $C_{Transition,Base} = 35$ fC etwa ein Energieumsatz von $E_{Transition,Base} = 116$ fJ. Eine Energierückgewinnung durch den Entladeschalter ist nicht möglich, da dieser typischerweise an Masse geschaltet ist ($V_{Base,low} = 0$ V).

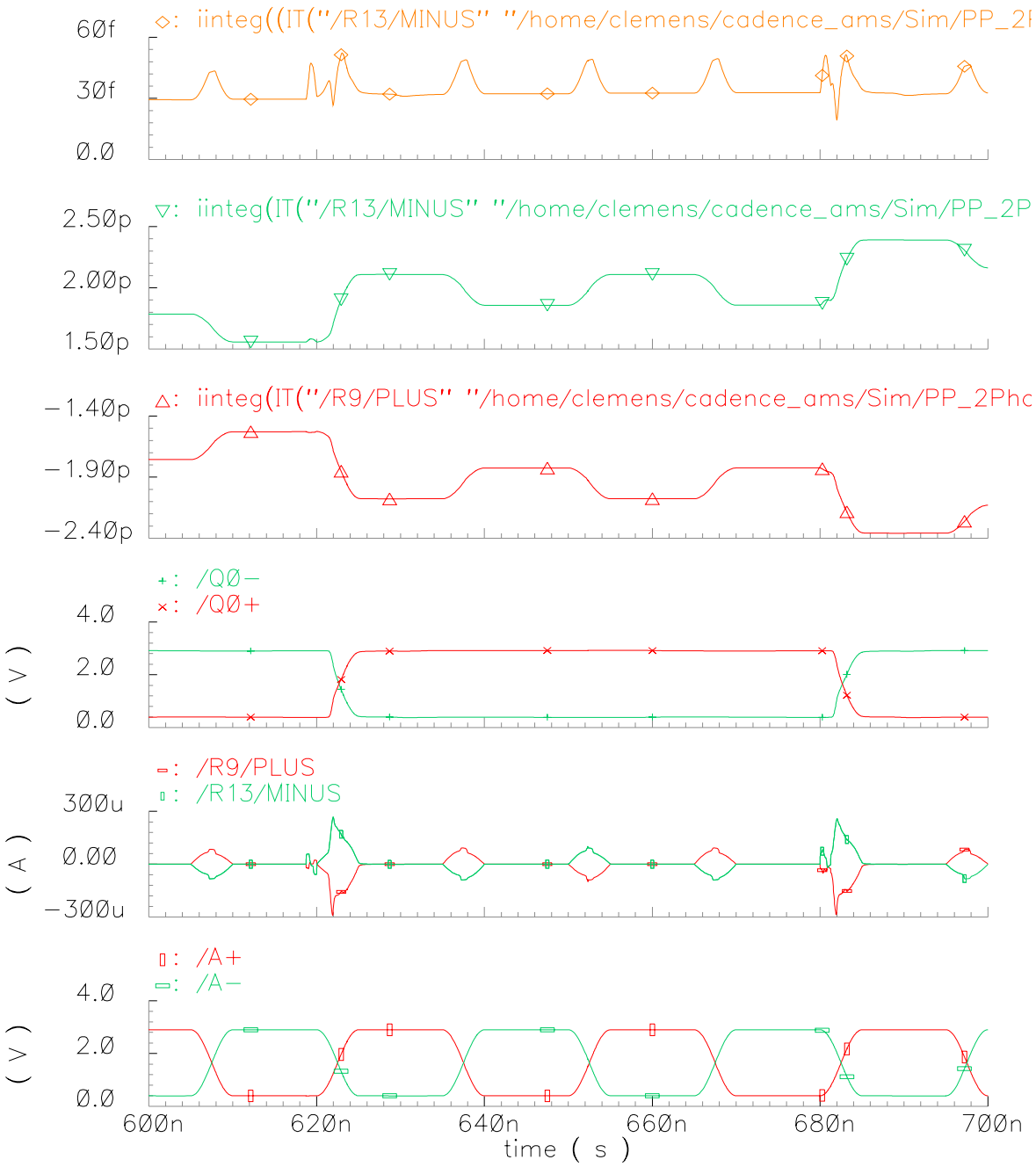

Abbildung 5.10: Spannungen, Ströme und Leistungen der Phase A: Im untersten Kurvenzug sind die Spannungsverläufe der Phase $A+$ bzw. $A-$ dargestellt, darüber die Ströme (an $R9$ wird i_{A+} und an $R13$ wird i_{A-} gemessen), darüber die Ausgangssignale, im dritten Kurvenzug von oben die Ladung $Q_{A+}(t)$, darüber $Q_{A-}(t)$ und im obersten Kurvenzug die Differenz der beiden Ladungsfunktionen.

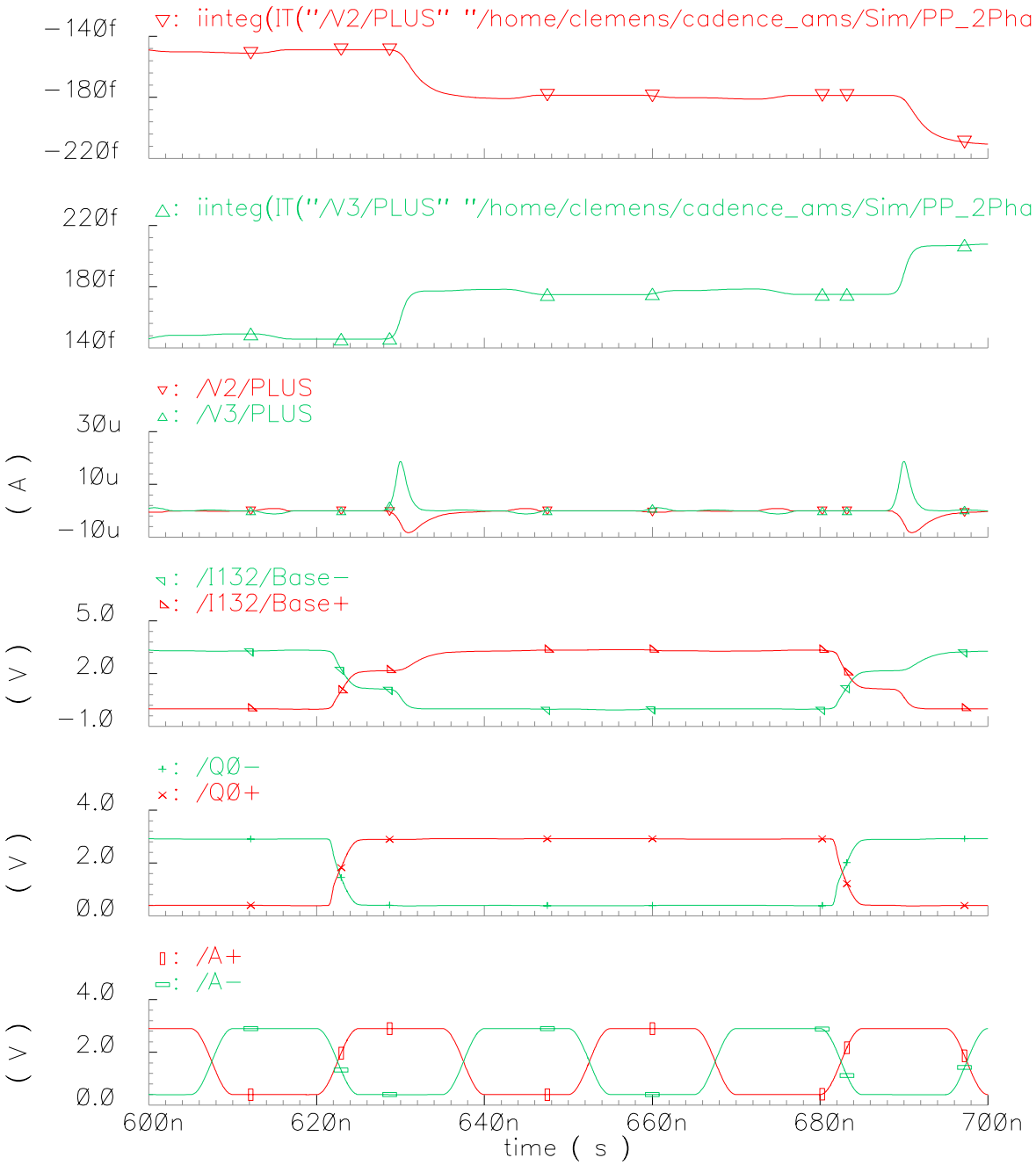

Abbildung 5.11: Spannungen und Ströme in den Basisnetzen: Der unterste Kurvenzug zeigt die Leistungsphasen $A+$ und $A-$, der Kurvenzug darüber die Ausgänge $Q0+$ und $Q0-$, darüber die Spannungen in den beiden Basisnetzen. Der dritte Kurvenzug von oben zeigt die Nachlade- bzw. Entladeströme der Spannungsquellen für die Basisnetze ($V3$ ist Nachladen, $V2$ Entladen), darüber ist das Summe der nachgespeisten Ladung über die Zeit, ganz oben die entladene Ladung, summiert über die Zeit, dargestellt.

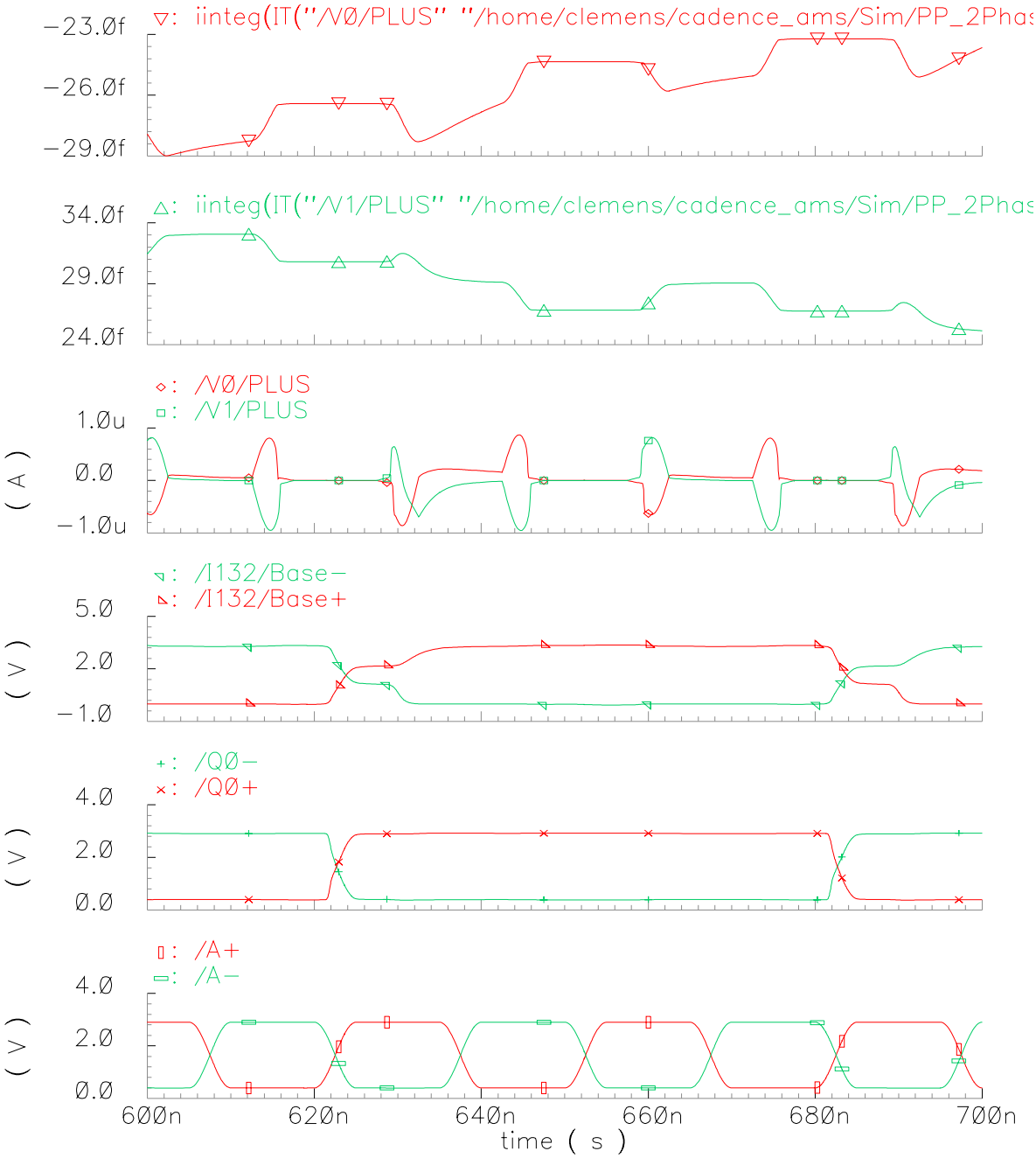

Abbildung 5.12: Spannungen und Ströme in den Ausgangsnetzen: Der unterste Kurvenzug zeigt die Leistungsphasen $A+$ und $A-$, der Kurvenzug darüber die Ausgänge $Q0+$ und $Q0-$, darüber die Spannungen in den beiden Basisnetzen. Im dritten Kurvenzug von oben sind die Ströme der Spannungsquellen für die Ausgangsnetze $V_{out,high}$ ($V0$) und $V_{out,low}$ ($V1$) dargestellt. In den oberen beiden Kurvenzügen sind die Ströme der Spannungsquellen für die Ausgangsnetze, summiert über die Zeit, dargestellt.

In Abbildung 5.12 sind die Spannungen und Ströme in den Ausgangsnetzen dargestellt: Der unterste Kurvenzug zeigt die Leistungenphasen $A+$ und $A-$, der Kurvenzug darüber die Ausgänge $Q0+$ und $Q0-$, darüber die Spannungen in den beiden Basisnetzen. Darüber sind die Ströme der Spannungsquellen $V_{out,high}$ und $V_{out,low}$ für die Ausgangsnetze dargestellt. Im zweiten Kurvenzug von oben ist die Ladung integriert über die Zeit für die Spannungsquelle $V_{out,low}$ dargestellt, im obersten Kurvenzug gilt das gleiche für $V_{out,high}$. Es ist deutlich zu sehen, dass kaum Ladung fließt ($Q_{Last} = 250\,\mathrm{fC}$).

Vergleicht man die Ladungsaufnahme für die Lastnetze mit denen für die Basisnetze, so zeigt sich, dass für die Lastnetze kaum Ladung nachgespeist wird, da die Basiskapazitäten durch die Lastnetze mit umgeladen werden. Diese Ladung addiert sich zu der in den Lastkapazitäten gespeicherten Ladung.

5.3 Erweiterte Gegentaktstruktur zur Wirkungsgradverbesserung

Im vorangegangenen Abschnitt wurde die Gegentaktstrukur dargestellt. Ein Nachteil dieser Struktur ist der eingeschränkte Versorgungsspannungsbereich für die Last, da die Basen der Transistoren eine höhere bzw. niedrigere Spannung benötigen, als am Kollektor verlustarm geschaltet werden kann. Ein sehr interessanter Ansatz besteht darin, die Struktur durch zusätzliche Transistoren so zu erweitern, dass der volle Versorgungsspannungsbereich abgedeckt wird. Hierzu werden zu jedem Bipolartransistor zwei *MOSFET*s parallel geschaltet, wie dies im Ausschnitt aus dem Schaltplan in Abbildung 5.13 dargestellt ist. Diese übernehmen am Anfang der Umladerampe den Strom, während der Bipolartransistor durch die noch nicht erreichte oder überschrittene Basis-Emitterspannung gesperrt bleibt. Zwei Transistoren in Reihe (eine *Und*-Verknüpfung) sind notwendig, da sowohl das Emitter- wie auch das Kollektornetz des Bipolartransistors auch im Sperrbetrieb den vollen Versorgungsspannungsbereich überstreichen können, die *MOSFET*-Hilfsschaltung aber nur unter einer bestimmten Bedingung leiten darf.

Ein Ausschnitt aus einer Simulation für diese Schaltung ist in Abbildung 5.14 wiedergegeben. Der oberste Kurvenzug gibt die Spannung an der Last wieder, diese ist fast identisch zu der Quellenspannung im zweit obersten Kurvenzug. Darunter ist der Laststrom dargestellt, dieser ist eine nahezu saubere Sinus-Halbwelle. Der unterste Kurvenzug gibt die Stromverteilung zwischen dem *pnp*-Transistor und dem *nMOSFET* bei einem Aufladevorgang der Last wieder. Hierbei ist das Umschalten bei Erreichen bzw. Unterschreiten der Schwellspannung der *MOSFET*s gut zu erkennen, der Strom wechselt sprunghaft zwischen den Transistoren, da die Flussspannung des Bipolartransistors bei gleichem Strom etwas größer als beim *MOSFET* ist und damit der *MOSFET* am Anfang nahezu den gesamten Strom leitet.

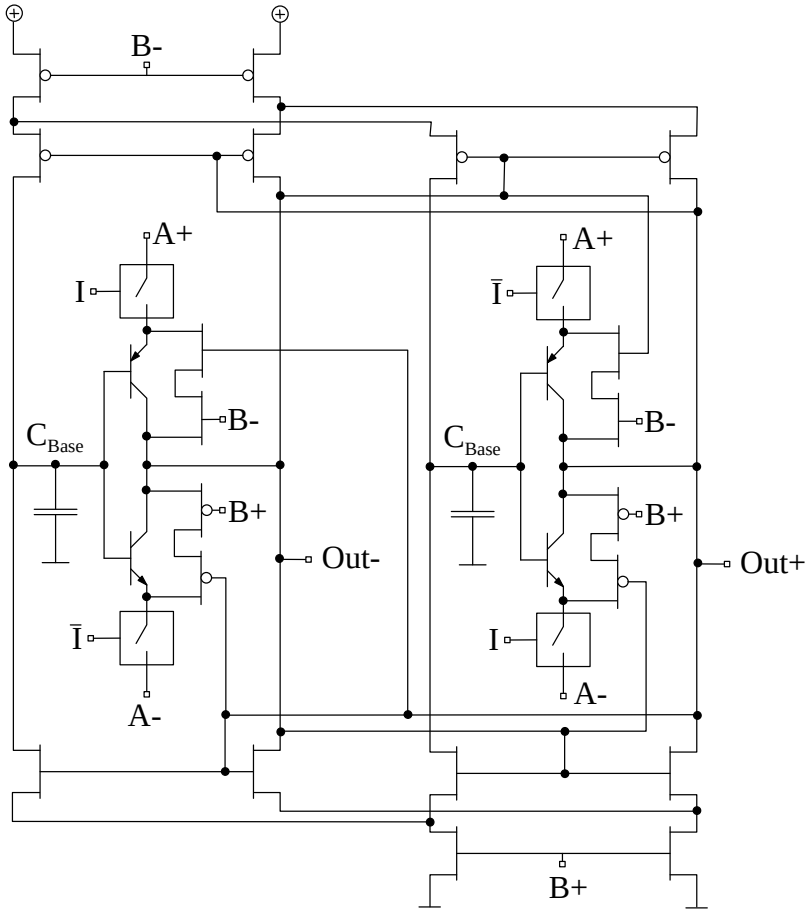

Abbildung 5.13: Schaltplan einer erweiterten biQSERL-Stufe: Parallel zu dem Bipolartransistor sind *MOSFET*s geschaltet, diese leiten bereits bei der vollen Versorgungsspannung und ermöglichen so einen Betrieb ohne reduzierten Spannungshub an der Last. Diese *MOSFET*s sind mit $w_n = 10\,\mu$m und $l_n = 0,35\,\mu$m bzw. $w_p = 15\,\mu$m und $l_p = 0,35\,\mu$m dimensioniert.

5.4 Zusammenfassung

In diesem Kapitel wurde die schaltungstechnische Einbindung des im vorigen Kapitel vorgeschlagenen Diodenelements dargestellt. Es kann anhand der Simulationen gezeigt werden, dass sich das Diodenelement in eine zuverlässig arbeitende Schaltung einsetzen lässt. Ebenso kann anhand der Simulationen nachvollzogen werden, dass sich die Schaltung bezüglich des Ladungsumsatzes erwartungsgemäß verhält.

Betrachtet man den Aufwand für eine Stufe, so ergibt sich ein Mehraufwand von 16 *MOSFET*s für die Nachlade- und Entladeschalter sowie der Mehraufwand für die Implementierung der logischen Funktion als *Pass-Gates*. Dies ist insbesondere dann als erheblicher Mehraufwand zu sehen, wenn nicht beide Ausgänge, d. h. der invertierte und der nicht-invertierte Ausgang benötigt werden.

Prinzipiell ist es möglich, die Nachlade- und Entladetransistoren für die Ausgangsnetze

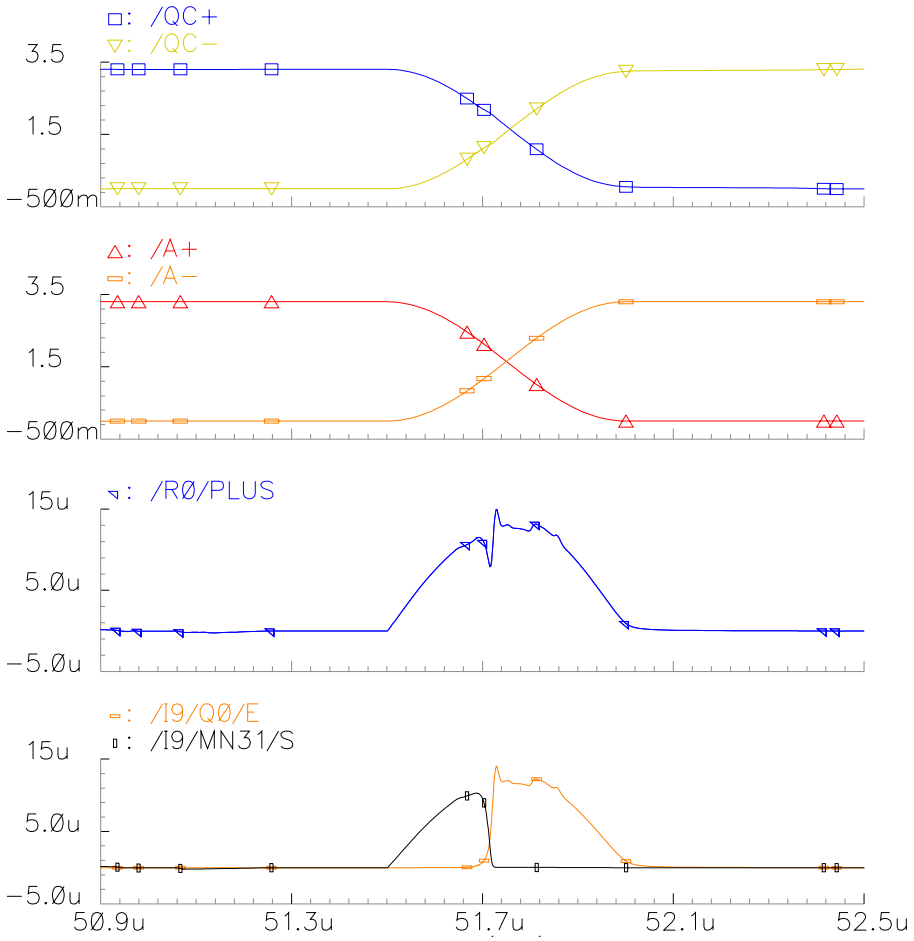

Abbildung 5.14: Spannungen und Ströme der modifizierten Strukur: Im obersten Kurvenzug sind die Ausgänge der Stufe dargestellt, darunter die Leistungsphasen, im untersten Kurvenzug sind der Strom durch einen Bipolartransistor sowie durch den parallel-geschalteten *MOSFET* wiedergegeben, darüber der Summenstrom.

wegzulassen, sofern die angeschlossene Last tatsächlich rein kapazitiv ist und keine Probleme durch Leckströme entstehen. Weiterhin setzt dies einen ausreichende Effizienz der Stufe voraus, damit auch in diesem Fall die Pegel noch brauchbare Werte erreichen. Alternativ ist es möglich, zum Beispiel nur die Nachladetransistoren für die Ausgangsnetze wegzulassen, damit würde wenigstens zum Teil die Verluste ausgeglichen, aber ebenso ein Teil der Transistoren eingespart. Ein Reduzierung der Zahl Basistransistoren ist nicht möglich, da dies die Eigenschaften der Schaltung deutlich verschlechtern würde, insbesondere durch eine deutliche Vergrößerung der Leckströme durch nicht vollständig abgeschaltete Steuerspannungen.

Kapitel 6

Theoretische Analyse der *biQSERL*-Struktur

In den vorherigen Abschnitten wurde die vorgeschlagene Schaltungsstruktur anhand von Simulationen auf einem gegebenen Prozess untersucht. In diesem Kapitel wird nun eine allgemeinere, mathematische Beschreibung vorgeschlagen, bei der von Technologieparametern weitgehend abstrahiert wird.

6.1 Ersatzmodell der Gegentaktstruktur

Die für den Wirkungsgrad entscheidenden Komponenten der Struktur sind die *Pass-Gates* und die Bipolartransistoren. Die anderen *MOSFET*s dienen nur dem Nach- bzw. Entladen zum Ausgleich von Verlusten. Die *Gate*-Kapazitäten dieser *MOSFET*s gehen in die Lastkapazität ein, die nachgespeiste Ladung addiert sich zu den reinen Umladeverlusten. Um ein einfaches Ersatzmodell zu bekommen, müssen der Bipolartransistor und das *Pass-Gate* modelliert werden. Das *Pass-Gate* kann in einfacher Weise durch einen Schalter und einen Widerstand nachgebildet werden. Der Bipolartransistor wird durch eine ideale Diode mit der Flussspannung null, eine Konstantspannungsquelle und einen Widerstand nachgebildet. Der Widerstand ermöglicht, dabei die Spannungsdifferenz über den Transistor stromabhängig nachzubilden, die Konstantspannungsquelle bildet den stromunabhängigen Teil der Flussspannung nach. Der Basisstrom kann in dieser Schaltung in die Lastkapazität eingerechnet werden, sodass er nicht gesondert betrachtet zu werden braucht. Dieses Ersatzmodell ist in Abbildung 6.1 als Schaltung dargestellt.

Angeregt wird diese Schaltung von einer sinusförmigen Spannungsquelle. Um dies mathematisch bequem darstellen zu können, soll die Beschreibung im Laplace-Bereich erfolgen. Dabei wird ausgenutzt, dass bei der Transformation vom *Laplace*-Bereich in den Zeitbereich nur der Zeitbereich für $t \geq 0$ berücksichtigt wird. Dies ermöglicht, über die Anfangsbedingungen sicherzustellen, dass die Lastkapazität voll aufgeladen ist. Anstelle der Sinusquelle wird eine Kosinusquelle verwendet, die zum Zeitpunkt $t = 0$ genau die maximale Spannung liefert. Die von der Quelle bereitgestellte Spannung soll ausschließlich

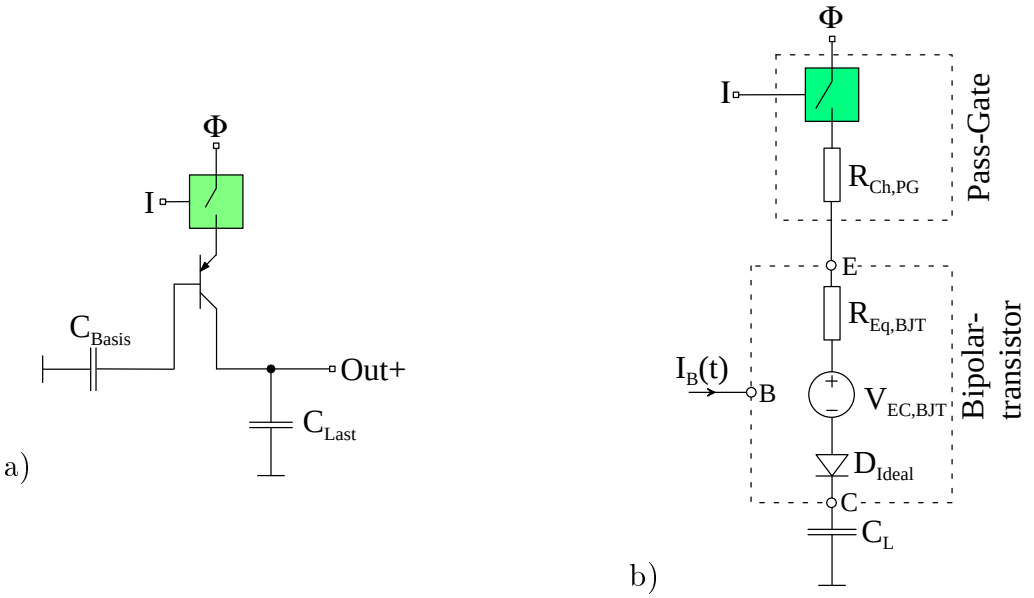

Abbildung 6.1: Ersatzmodell des Diodenelements eines Teils einer *biQSERL*-Stufe

positiv sein, daher wird ein Gleichanteil dazu addiert. Wird als Anregung eine Kosinusfunktion mit veränderbarer Phase verwendet, erlaubt dies auch, Sprünge am Beginn der Entladekurve zu modellieren:

$$V_S = V_1 \cdot (cos(\omega t + \gamma) + 1)\,. \tag{6.1}$$

Die Ansatzgleichung für die Kondensatorspannung ist in Gleichung 6.2 wiedergegeben. Der linke Term ist die *Laplace*-Transformierte der Kosinusquelle, der rechte Term die Übertragungsfunktion des RC-Gliedes.

$$V_C(p) = V_1 \cdot \left[\frac{p}{p^2+\omega^2} + \frac{1}{p}\right] \cdot \frac{1}{1+p\cdot RC}. \tag{6.2}$$

Anstatt die Kosinusfunktion erst in den Frequenzbereich zu transformieren, kann auch die Übertragungsfunktion des Tiefpasses direkt in den Zeitbereich transformiert werden, danach werden anregende Funktion und Übertragungsfunktion mit Hilfe des Faltungssatzes verknüpft [5]. Als Spannung am Kondensator ergibt sich damit

$$v_C(t) = \frac{V_1}{RC}\frac{1}{\sqrt{(1/RC)^2+\omega^2}}\left[\cos(\omega t+\gamma-\phi) - e^{-t/RC}\cdot\cos(\gamma-\phi) + 1 - e^{-t/RC}\right]$$

mit

$$\phi = \arctan(\omega \cdot RC).$$

Dies ist jedoch nur der homogene Teil der Lösung der Differentialgleichung, da bisher keine Anfangsbedingungen eingearbeitet sind (bzw. $v_C(t=0) = 0$ angenommen wird).

Da die Kosinusfunktion mit $V_C(0) = V_0$ beginnen soll, muss noch die Anfangsbedingung in die Gleichung im *Laplace*-Bereich eingearbeitet werden:

$$V_C(p) = V_1 \cdot \left[\frac{p}{p^2+\omega^2} + \frac{1}{p}\right] \cdot \frac{1}{1+p\cdot RC} + V_0 \cdot \frac{RC}{1+p\cdot RC}. \tag{6.3}$$

Die Differentialgleichung erweitert sich durch die Anfangsbedingung um einen $e^{-t/RC}$-Term:

$$\begin{aligned} v_C(t) = \frac{V_1}{RC}\frac{1}{\sqrt{(1/RC)^2+\omega^2}}\left(\cos(\omega t+\gamma-\phi) - e^{-t/RC}\cdot[\cos(\gamma-\phi)+1]+1\right) \\ + V_0 \cdot e^{-t/RC}. \end{aligned} \tag{6.4}$$

Diese Funktion ist für viele Verhältnisse RC/ω in Abbildung 6.2 für Ladekurven sowie in Abbildung 6.3 für Entladekurven grafisch dargestellt. Die Kreisfrequenz ω ist zur besseren Vergleichbarkeit konstant, stattdessen wird RC variiert. In der Abbildung ist der Bereich $RC = \frac{1}{1000}\omega$ bis $RC = 1000\omega$ dargestellt, in $1-2-5-$ Stufen je Dekade. Die Kurve für $RC/\omega = 1$ erreicht ihr Extremum zum Zeitpunkt $t = 1,27$ mit dem Wert $0,84$ beim Laden bzw. $0,16$ beim Entladen. Als Referenz für die anregende Spannung $cos(\omega t + \gamma - \arctan(\omega \cdot RC))$ kann der Spannungsverlauf der Kurve mit dem kleinsten Verhältnis RC/ω verwendet werden, da in diesem Fall die Spannung am Kondensator fast verzögerungsfrei der Quellenspannung folgt.

Die Diagramme stellen die Zeitfunktion der Differentialgleichung dar, entsprechend ist hierbei weder die Diodenfunktion noch die absolute Spannungsdifferenz am Bipolartransistor berücksichtigt. Das Diodenelement würde beim Erreichen des Extremums sperren, sodass der Extremwert gehalten würde. Der aus der Differentialgleichung resultierende Spannungsverlauf spiegelt dies jedoch nicht wider.

Neben dem zeitlichen Verlauf ist der Wirkungsgrad das eigentlich interessierende Maß. Für die Bestimmung des Wirkungsgrads benötigt man vor allem den Zeitpunkt des Minimums bzw. des Maximums der Lade-/ Entladekurve. Um diesen bestimmen zu können, kann ausgenutzt werden, dass bei der cos()-Funktion bekannt ist, wann sie ihre Extremwerte erreicht. Dies setzt allerdings voraus, dass die überlagerte $e^{-\kappa t}$-Funktion diesen Wert nicht verfälscht. Akzeptiert man die Beschränkung auf 'gute' Wirkungsgrade, so kann dies angenommen werden, da die $e^{-\kappa t}$-Funktion zu dem Zeitpunkt des Extremums der cos()-Funktion bereits schon nahezu abgeklungen ist. Als Zeitpunkt für das erste Extremum ergibt sich daraus:

$$T_{Extremum} = \pi - \gamma + \phi = \pi - \gamma + \arctan(\omega \cdot RC). \tag{6.5}$$

Ist der Zeitpunkt des Extremums bekannt, so lassen sich die durch die Speicherfunktion der Diode entstehenden Werte berechnen. Die Werte entsprechen den Funktionswerten am Extremum. Die berechneten Extremwerte sind in Abbildung 6.5 für den Entladevorgang

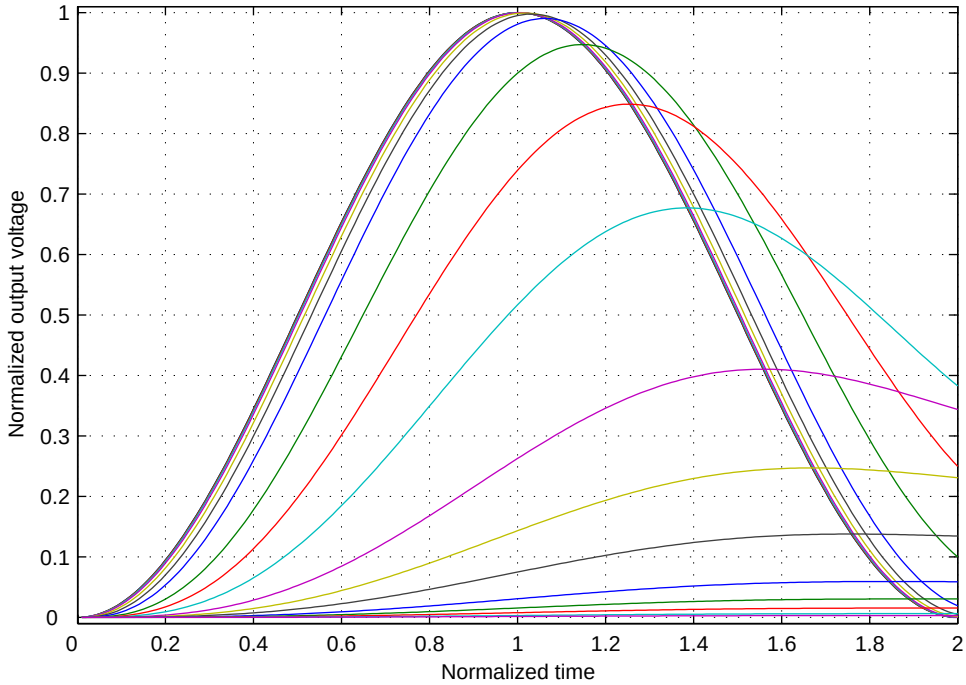

Abbildung 6.2: Simulierte Ladekurven eines reinen RC-Gliedes für ein Verhältnis RC/ω von $0,001$ (voll ausschwingende Kurve) bis 1000 (Kurve mit geringer Reaktion auf die Anregung)

und in Abbildung 6.4 für den Aufladevorgang in Abhängigkeit des Verhältnisses RC/ω grafisch dargestellt.

Vergleicht man die Ergebnisse mit den Aussagen aus Kap. 2.5.1 über optimales Laden, so ergeben sich teilweise Unterschiede für die einzelnen Werte RC/ω. Dies erklärt sich aus der Tatsache, dass bei dem im zweiten Kapitel betrachteten optimalen Laden ein Ladevorgang konstanter Dauer zugrunde gelegt worden ist, entsprechend den Funktionswerten der Differentialgleichung zum Zeitpunkt $t = 1$. Bei dem in diesem Kapitel verwendeten Ladevorgang ist die Dauer abhängig von der Lage des Minimums, und der Ladevorgang kann länger dauern als beim Laden über einen durch die Flanke vorgegebenen Zeitraum.

Zuletzt kann noch der Flussspannungsverlust (absolute Spannungsdifferenz) über den Transistor berücksichtigt werden. Hierzu wird die Anfangsbedingung der Gleichung verändert, nämlich $V_0' = V_0 - V_{Drop}$. Zusätzlich muss noch der Phasenwinkel γ so verändert werden, dass die Zeitfunktion der Differentialgleichung genau bei $V_C(t) = V_0'$ beginnt, entsprechend muss der Endzeitpunkt auch verändert werden. Insgesamt verkürzt sich damit der Zeitraum, über den integriert wird.

Um die zurückgewonnene Energie bestimmen zu können, muss zuerst die in die Quelle zurückgespeiste Leistung $P_S(t)$ bestimmt werden. Dies ist das Produkt aus Quellenspannung und -strom. Wird die Leistung über die Zeit bis zum ersten Extremum integriert, erhält man die zurückgewonnene Energie.

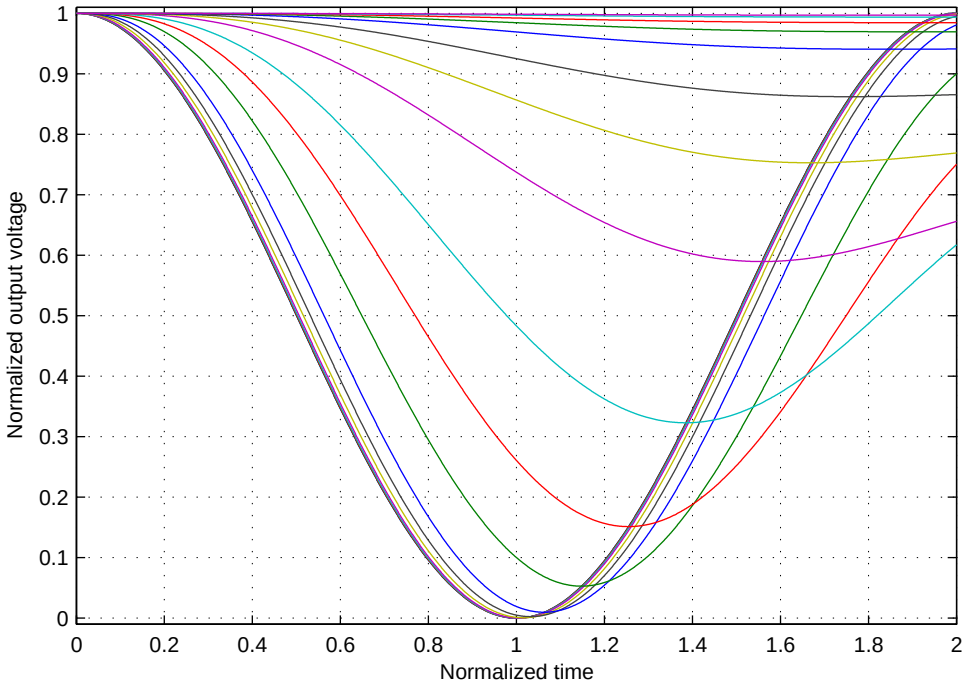

Abbildung 6.3: Simulierte Entladekurven eines reinen RC-Gliedes für Werte RC/ω von $0,001$ (voll ausschwingende Kurve) bis 1000 (Kurve mit geringer Reaktion auf die Anregung)

$$E_S(T) = \int_0^{T_{Extremum}} i(t) \cdot v_S(t)\, dt.$$

Der Strom durch die Ersatzschaltung kann mittels der Strom-Spannungsbeziehung von Kondensatoren

$$i_C(t) = C \cdot \frac{dv_C(t)}{dt}$$

aus der Kondensatorspannung Gleichung 6.4 bestimmt werden:

$$\begin{aligned} i_C(t) = & \\ & \frac{V_1}{R} \frac{1}{\sqrt{(1/RC)^2 + \omega^2}} \left[-\omega \sin(\omega t + \gamma - \phi) + \frac{1}{RC} \cdot e^{-t/RC} \cdot \cos(\gamma - \phi) \right] \\ & - \frac{V_0 - V_1}{R} e^{-t/RC}. \end{aligned} \tag{6.6}$$

Daraus lässt sich die in die Quelle zurückgespeiste Energie berechnen:

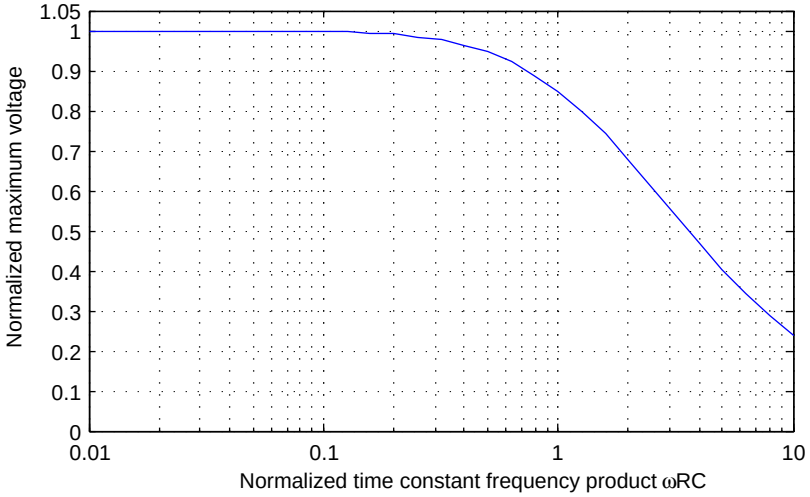

Abbildung 6.4: Kurve für die zu erwartenden Maximalspannungen in Abhängigkeit von T/τ. Die Kurve ist nur für 'gute' Wirkungsgrade ($T > \tau > 1$) exakt, danach können sich durch die Vereinfachungen in der Rechnung Abweichungen ergeben.

$$
\begin{aligned}
E_S(t) = & \\
& \frac{V_1^2}{R} \frac{1}{\sqrt{(1/RC)^2 + \omega^2}} \left[0.5 \sin^2(\omega t + \gamma - 0.5\phi) + 0.5\omega \cdot t \sin(-\phi) - \cos(\omega t + \gamma - \phi) + 1\right] \\
& - \frac{V_1}{R} \cdot e^{-t/RC} \cdot \left[\frac{\omega \sin(\omega \cdot t + \gamma) - \frac{1}{RC} \cos(\omega \cdot t + \gamma)}{1/(RC)^2 + \omega^2} - RC\right] \\
& \cdot \left[\frac{V_1}{RC} \frac{1}{\sqrt{1/(RC)^2 + \omega^2}} \left[\cos(\gamma - \phi) + 1\right] - V_0\right].
\end{aligned}
\tag{6.7}
$$

Unter Verwendung dieser Gleichungen ist die zurückspeisbare Energie in Abhängigkeit vom Verhältnis RC/ω und der konstanten Flussspannung (normiert auf die maximale Spannung) in Abbildung 6.6 grafisch dargestellt. Es ergibt sich, dass die konstante Flussspannung den erreichbaren Wirkungsgrad sehr stark beeinflusst.

Aufbauend auf dieser mathematischen Darstellung können auch andere Zusammenhänge untersucht werden, zum Beispiel der Einfluss der Kanalweite der *MOSFETs* auf den Wirkungsgrad. Für eine Untersuchung wird wieder die bereits dargestellte Inverterkette als Schaltung angenommen, dass heißt größere Kanalweiten der Transistoren einer Stufe führen zu einer stärkeren kapazitiven Belastung der vorhergehenden Stufe. Für die Analyse wird daher die *Gate*-Kapazität der *MOSFETs* einfach zur Lastkapazität der Stufe addiert. Im Gegensatz zur vorhergehenden Betrachtung muss nun eine konkrete Lastkapazität angenommen werden, da das Verhältnis zwischen Lastkapazitäten und *Gate*-Kapazitäten der *MOSFET*s bekannt sein muss. Für die Simulation werden die nachfolgend aufgelisteten Werte verwendet, diese entsprechen ungefähr den Werten aus dem in Kap. 8.4

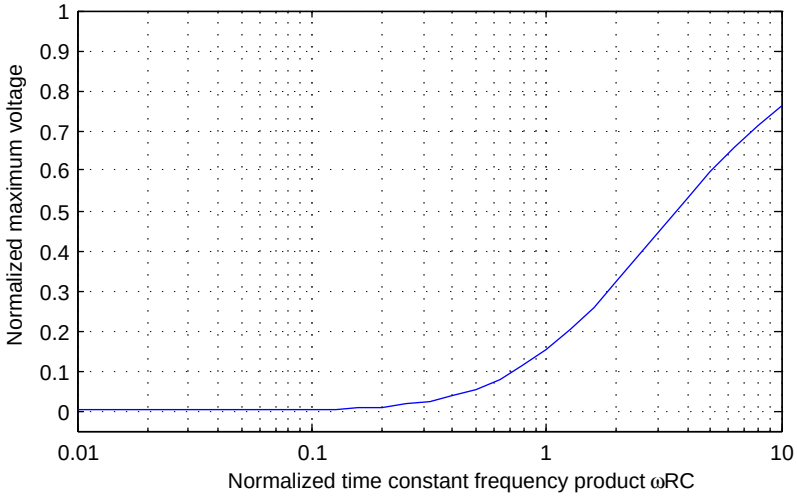

Abbildung 6.5: Kurve für die zu erwartenden Minimalspannungen in Abhängigkeit von T/τ. Die Kurve ist nur für 'gute' Wirkungsgrade ($T > \tau > 1$) exakt, danach können sich durch die Vereinfachungen in der Rechnung Abweichungen ergeben.

dargestellten Prozess.

Parameter	Wert
Frequenz f	10MHz
Kreisfrequenz ω	$\omega = 62,83$ MHz
Widerstandsbelag *Pass-Gate* R'_{PG}	$2,5\,\mathrm{k\Omega/w_n}$ ($\mathrm{w_n}$ in μm)
Verhältnis RC/ω	$0,1$
Gate-Kapazitätsbelag *MOSFET* C'_{Gn}, C'_{Gp}	$2\,\mathrm{fF}/\mu\mathrm{m}$
Gate-Kapazitätsbelag *Pass-Gate* C'_{PG}	$6\,\mathrm{fF}/\mu\mathrm{m}$
vorgesehene Kanalweite *nMOSFET*	$2,5\,\mu$m
Verhältnis Kanalweiten w_n zu w_p	$1:2$

Aus diesen Werten ergibt sich eine Lastkapazität von

$$RC \cdot \omega = 0,1 \;\rightarrow\; C_L = 1,592\,\mathrm{pF}.$$

Für die Simulation wird $C_L = 1$ pF gewählt. Als effektive Kapazität ergibt sich $C_{L,eff} = 1\,\mathrm{pF} + (2\,\mathrm{fF} + 2 \cdot 2\,\mathrm{fF}) \cdot w_n$, für den Kanalwiderstand der *Pass-Gates* ergibt sich $R_{PassGate} = 2,5\,\mathrm{k\Omega}/w_n$, wobei w_n in Mikrometern gemessen wird. Für die Berechnung des Wirkungsgrads wird wieder nur das Verhältnis zwischen wiedergewonnener Energie und Lastkapazität verwendet, die von den *Gate*-Kapazitäten der *MOSFET*s verursachten zusätzlichen Verluste verschlechtern entsprechend überproportional den Wirkungsgrad. Das Ergebnis der Simulation ist in Abbildung 6.7 dargestellt. Es ist deutlich zu sehen, dass sich in dem für die *nMOS*-Kanalweite erwarteten Bereich ein Maximum für den Wirkungsgrad ergibt.

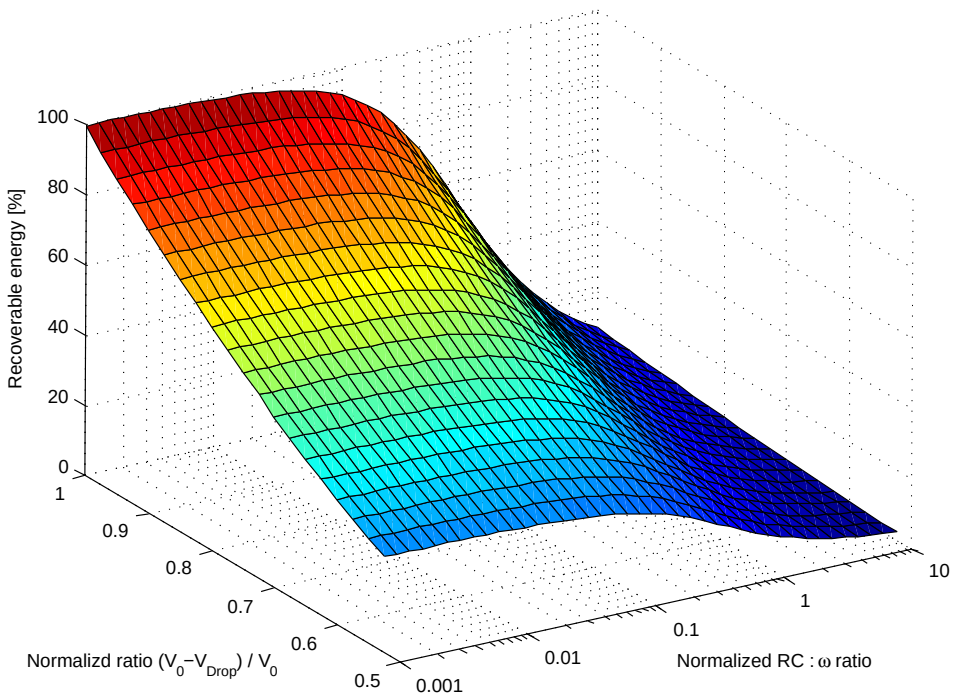

Abbildung 6.6: Abhängigkeit des erreichbaren Wirkungsgrads vom *RC*-zu-ω-Verhältnis sowie der absoluten Spannungsdifferenz über den Transistor

6.2 Ersatzmodell der erweiterten Struktur

Im vorigen Abschnitt wurde der erreichbare Wirkungsgrad für die einfache Struktur modelliert. Aufbauend auf diesen Ergebnissen kann auch der Wirkungsgrad für die erweiterte Struktur bestimmt werden. Hierzu muss die Berechnung erweitert werden, da sich ein Umladevorgang aus zwei Phasen zusammensetzt, wie in Abbildung 5.14 gut zu erkennen ist. In der ersten Phase wird der Strom durch die parallel zum eigentlichen Bipolartransistor liegenden *MOSFET*s geschaltet, bei Erreichen der Schwellspannung des Bipolartransistors bzw. bei Unterschreiten der Schwellspannung der *MOSFET*s übernimmt dieser den Strom.

Entsprechend muss auch die Modellierung der Schaltung geändert werden. Ein Umladevorgang wird daher in zwei Teile geteilt:

1. Im ersten Teil wird die Schaltung als reines *RC*-Glied beschrieben, wobei sich der Widerstand aus den beiden *MOSFET*s sowie dem *Pass-Gate* zusammensetzt.

2. Im zweiten Teil wird die Schaltung wie vorher als Reihenschaltung eines Widerstands mit einer Konstantspannnungsquelle dargestellt. Damit wird der Widerstand in der Summe kleiner, dafür wird die Flussspannung über den Bipolartransistor mit ihrem konstanten Anteil berücksichtigt.

Der Übergang zwischen beiden Teilen wird als Phasensprung realisiert, um die konstante Spannungsdifferenz nachzubilden. Damit ergeben sich als Funktion zwei Gleichungen: die

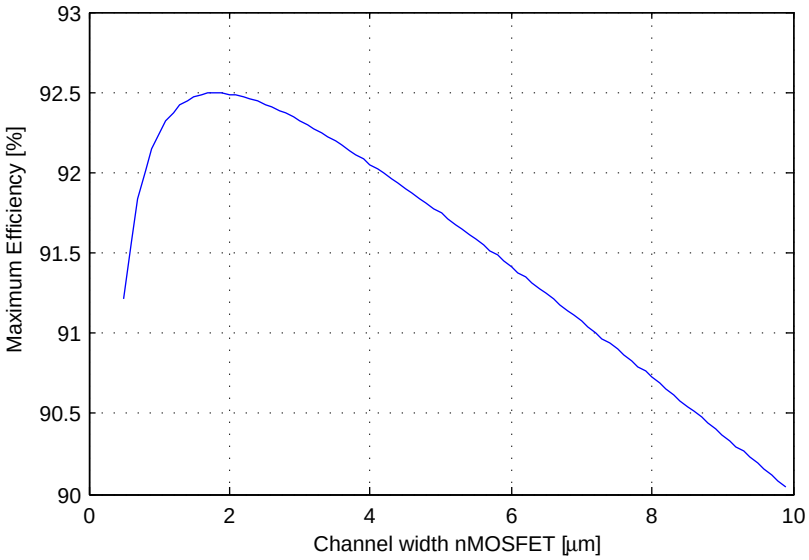

Abbildung 6.7: Erreichbarer Wirkungsgrad als Funktion der Kanalweite des *Pass-Gates*

erste wird für den Winkel $\varphi_1 = [0..\arccos(V_{BE}/V_1 - 1)]$ durchlaufen, die zweite für den Winkel $\varphi_2 = [\arccos(V_{BE}/V_1 - 1) + \arccos(V_{Drop}/V_1 - 1)..\ \pi + \arctan(RC \cdot \omega)]$.

$$
\begin{aligned}
E_{S_1}(t) = & \\
& \frac{V_1^2}{R} \frac{1}{\sqrt{(1/RC)^2 + \omega^2}} \left[0.5 \sin^2(\omega t - 0.5\phi) + 0.5\omega \cdot t \sin(-\phi) - \cos(\omega t - \phi) + 1\right] \\
& - \frac{V_1}{R} \cdot e^{-t/RC} \cdot \left[\frac{\omega \sin(\omega \cdot t) - \frac{1}{RC}\cos(\omega \cdot t)}{1/(RC)^2 + \omega^2} - RC\right] \\
& \cdot \left[\frac{V_1}{RC} \frac{1}{\sqrt{1/(RC)^2 + \omega^2}} [\cos(-\phi) + 1] - V_0\right]
\end{aligned}
\tag{6.8}
$$

$$
\begin{aligned}
E_{S_2}(t) = & \\
& \frac{V_1^2}{R} \frac{1}{\sqrt{(1/RC)^2 + \omega^2}} \left[0.5 \sin^2(\omega t + \gamma - 0.5\phi) + 0.5\omega \cdot t \sin(-\phi) - \cos(\omega t + \gamma - \phi) + 1\right] \\
& - \frac{V_1}{R} \cdot e^{-t/RC} \cdot \left[\frac{\omega \sin(\omega \cdot t + \gamma) - \frac{1}{RC}\cos(\omega \cdot t + \gamma)}{1/(RC)^2 + \omega^2} - RC\right] \\
& \cdot \left[\frac{V_1}{RC} \frac{1}{\sqrt{1/(RC)^2 + \omega^2}} [\cos(\gamma - \phi) + 1] - V_0\right]
\end{aligned}
\tag{6.9}
$$

Aus diesen beiden Gleichungen lässt sich wie zuvor der maximal erreichbare Wirkungsgrad berechnen. Dies ist in Abbildung 6.8 dargestellt, unter der Annahme, dass der Widerstand

der Bypass-Transistoren gleich dem Widerstand des *Pass-Gates* ist. Als Versorgungsspannung wird in dieser Simulation $V_{dd} = 3,3\,\mathrm{V}$ angenommen.

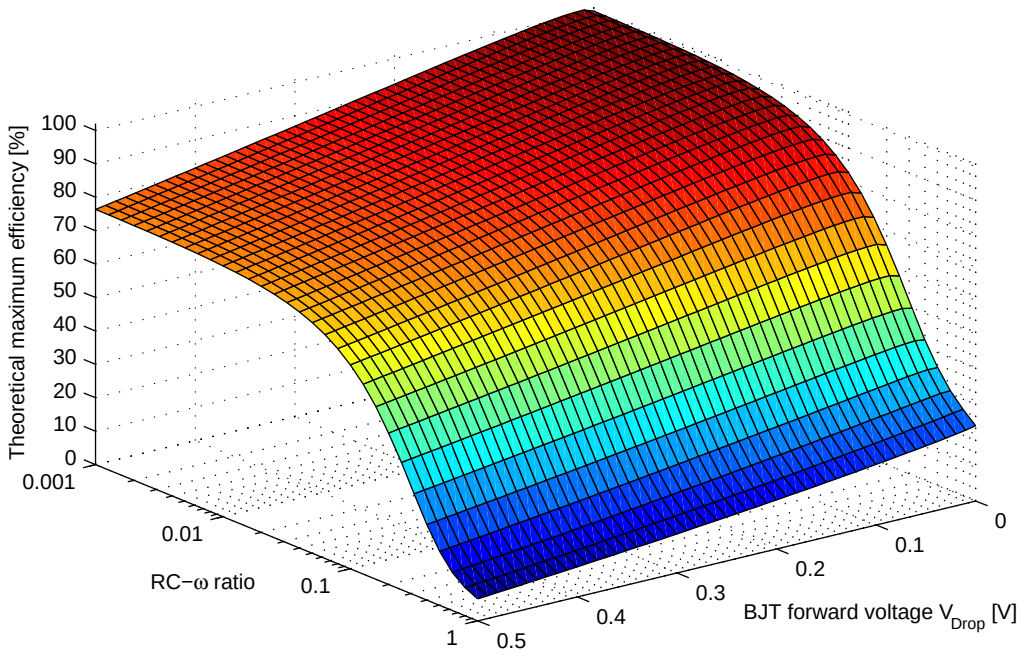

Abbildung 6.8: Maximaler theoretischer Wirkungsgrad für die erweiterte Struktur bei $V_{dd} = 3,3\,\mathrm{V}$ und einem Kanalwiderstand der Bypass-Transistoren gleich dem des *Pass-Gates*

6.3 Zusammenfassung

Mit der Modellierung über die Differentialgleichung eines RC-Glied entsteht ein handhabbares Modell zur Vorhersage des Wirkungsgrads der Schaltung, das einer Modellierung durch Integration im Zeitbereich überlegen ist. Dieses erlaubt, auch andere Verluste, wie zum Beispiel durch die Basiskapazität, zu berücksichtigen.

Es zeigt sich dabei sehr deutlich, dass gute Wirkungsgrade nur unter der Bedingung $RC << \omega$, zu erreichen sind. Dies entspricht den Ergebnissen aus Kap. 2.5.1 über adiabatischen Laden, auch hier ergibt sich, dass die Ladedauer T ein Vielfaches der Zeitkonstante $\tau = RC$ sein muss, um gute Wirkungsgrade zu erzielen.

Kapitel 7

Performanz der *biQSERL*-Struktur

In diesem Kapitel wird die in Kapitel 5 eingeführte Schaltungsstruktur *BiQSERL* quantitativ bezüglich ihres Verhaltens für wesentliche Parameter untersucht. Dabei wird der im vorherigen Kapitel dargestellte Prozess zugrunde gelegt. Zudem wird der Systemwirkungsgrad dargestellt, d. h. der Wirkungsgrad unter Berücksichtigung aller Verluste.

7.1 Simulationsumgebung

Als Simulationsschaltung wird eine Kette aus vier Inverterstufen verwendet, diese ist in Abbildung 7.1 dargestellt. Für die Messungen wurde die dritte Stufe (I9) verwendet. Die Stufe I9 liegt so innerhalb der Kette, dass eingangsseitig die schaltungstypischen Pegel anliegen und gleichzeitig die Ausgänge belastet sind. Alle Ströme dieser Stufe können unabhängig von der restlichen Schaltung gemessen werden. In den Simulationen wird aus den bereits vorher dargestellten Gründen der fiktive *pnp*-Transistor verwendet.

Kernstück der Simulationsumgebung ist der Phasengenerator. Dieser liefert die Leistungsphasen $A+$, $A-$, $B+$, $B-$ sowie $A+'$, $A-'$, $B+'$, $B-'$. Der zweite Satz Ausgänge ist im Prinzip identisch mit dem ersten Satz, hat jedoch ein anderes Verhalten am Anfang der Simulation, um bei einigen Schaltungsstrukturen eine korrekte Vorinitialisierung zu erreichen. Die Vorinitialisierung ist aufgrund der gegengekoppelten, differentiellen Struktur der *biQSERL*-Logik erforderlich, da bei einer gleichen Initialisierung des invertierten und des nicht-invertierten Ausgangsnetzes einer Stufe nicht sichergestellt ist, dass sich die Stufe im Betrieb von selbst richtig einstellt. Dabei ist es egal, ob der vorinitialisierte Wert der Schaltungslogik entspricht, dies korrigiert sich mit den ersten Taktzyklen der Leistungsphasen.

Der Phasengenerator kann bezüglich Frequenz, Spannungshub und Taktdichte eingestellt werden. Die Frequenz definiert dabei die Flankensteilheit der Ausgangssignale, der Wert wird direkt als Frequenz der zugrunde liegenden Sinusquellen verwendet. Die Dauer einer Flanke ist entsprechend die Hälfte eines Zyklus, also $t_{Cycle} = \frac{1}{2 \cdot f_{adiabatic}}$. Da zwischen jeder Flanke eine Pause ebenfalls mit der Dauer eines Zyklus eingefügt ist, halbiert sich die Frequenz effektiv am Ausgang. Dennoch können mit diesen Schaltungen Datenraten

entsprechend der doppelten Taktfrequenz erreicht werden, da zwischen zwei Stufen nur ein Zyklus Verzögerung erforderlich ist. Der Spannungshub der Quelle legt die Amplitude am Ausgang sowie die minimale und maximale Spannung fest, die Gleichspannungsanteile der Signalquellen können eingestellt werden. Die Taktdichte als letzter Parameter legt die Dauer der Pausen zwischen den Flanken fest, dies ermöglicht Messungen von Leck- und Ruheströmen. Das Schaltbild eines Teils des Phasengenerators zur Erzeugung eines Leistungsphasenpaars ist in Abbildung 7.2 wiedergegeben.

Die Bemessung der Schaltung basiert auf den im vorigen Kapitel dargestellten Ergebnissen. Besonders interessant für die Bemessung ist die Abhängigkeit der Kollektor-Emitterspannung vom Kollektorstrom, Abbildung 8.12. Hieraus ergibt sich, dass ein sinnvoller Betrieb der Transistoren bis etwa einige hundert Mikroampere möglich ist. Daraus lässt sich für eine gegebene Frequenz die optimale kapazitive Last bestimmen oder umgekehrt. Als Eckwert ergibt sich eine Kapazität von $C = 100\,\text{fF}$ bei einer Frequenz von rund $f = 200\,\text{MHz}$.

7.1.1 Flussspannungsverluste im Betrieb

Als Erstes soll die Abhängigkeit der Spannungsdifferenz zwischen der Phase A und dem Ausgang als Funktion der Kanalweite der Transistoren im *Pass-Gate* dargestellt werden. Die Spannungsdifferenz zwischen der Phase A und dem Ausgang ist dabei die Summe aus der Spannungsdifferenz über dem *Pass-Gate* und der Spannungsdifferenz über dem Diodenelement. Für die Simulation wurden eine Umladefrequenz von $f_U = 100\,\text{MHz}$ sowie $V_{out,low} = 0,4\,\text{V}$ und $V_{out,high} = 2,9\,\text{V}$ als Versorgungsspannungen verwendet, was einem Spannungshub von $V_{out,swing} = 2,5\,\text{V}$ entspricht. Die Lastkapazität ist $C_{Last} = 100\,\text{fF}$. Die oberste Kurve in Abbildung 7.3 verwendet eine Basiskapazität von $C_{Basis} = 5\,\text{fF}$, die mittlere $C_{Basis} = 20\text{fF}$ und die unterste $C_{Basis} = 100\text{fF}$. Der Kurvenverlauf entspricht dem Erwartungswert: Je größer die Kanalweite der Transistoren im *Pass-Gate*, desto kleiner die Spannungsdifferenz. Erst für sehr große Kanalweiten überkompensiert die zusätzliche kapazitive Last diesen Effekt. Der Einfluss der Basiskapazität und damit des Basisstroms entspricht ebenfalls dem erwarteten Verhalten: Je größer die Basiskapazität, desto geringer die Spannungsdifferenz zwischen Phase A und dem Ausgang.

7.1.2 Wirkleistungsumsatz im Ausgangsnetz einer *biQSER*-Stufe

Weiterhin soll die Energiebilanz des Ausgangsteils der Stufe analysiert werden. Hierzu wurden die gleichen Simulationsparameter wie vorher verwendet, als Ergebnis ist in Abbildung 7.4 die Energieaufnahme der Nachladeschaltung für das Ausgangsnetz für einen Zyklus dargestellt. Die Darstellung ist normiert auf die Energieaufnahme eines nicht-adiabatischen Umladezyklus der Lastkapazität. Da die Stufe einen komplementären Ausgang besitzt, der auch schaltungstechnisch genutzt werden kann, wurde dies für das Vergleichsmaß berücksichtigt. Das Vergleichsmaß ist entsprechend ein Lade-/ Entladezyklus einer Lastkapazität am normalen Ausgang und ebenfalls einer Lastkapazität am invertierten Ausgang. Als Spannungshub wurde der tatsächlich genutzte Spannungshub der

adiabatischen Schaltungsstruktur von $V_{out,swing} = 2,5\,\mathrm{V}$ verwendet. Damit ergibt sich als Bezugsenergie:

$$E_{normal} = 2 \cdot \frac{1}{2} C_{Last} V_{out,swing}^2 = 2 \cdot \frac{1}{2} 100\,\mathrm{fF} \cdot 2,5^2 = 6,25\,\mathrm{fJ}.$$

7.1.3 Wirkleistungsumsatz im Basisnetz einer *biQSER*-Stufe

Das Gleiche ist in Abbildung 7.5 für die Nachladeschaltung für das Basisnetzes dargestellt. In diesem Diagramm ist sehr gut zu erkennen, wie stark der Einfluss der Basiskapazität auf die Energiebilanz der gesamten Schaltung ist. Die oberste Kurve entspricht einer Basiskapazität von $C_{Basis} = 100\,\mathrm{fF}$, also dem gleichen Wert wie die Lastkapazität, die unterste Kurve einer Basiskapazität von $C_{Basis} = 5\mathrm{fF}$. Aus dem Diagramm ist zu erkennen, dass sich die Leistungsaufnahme des Netzes dabei um rund den Faktor fünf verringert.

7.2 Wirkleistungsumsatz in der Leistungsphase

Als Letztes soll der Wirkleistungsumsatz in der Phase A betrachtet werden. Dieser ist in Abbildung 7.6 dargestellt. Für die Anordnung der Kurven gilt wieder das Gleiche wie in der Simulation für das Basisnetz.

7.3 Systemwirkungsgrad eines *biQSERL*-Gatters

Neben den Simulationen eines einzelnen Parameters kann auch der Systemwirkungsgrad untersucht werden. Dies ist in Abbildung 7.7 als Funktion der Lastkapazität und der Frequenz dargestellt. In dieser Simulation wird ein festes Verhältnis zwischen Basiskapazität und Lastkapazität von $c_{Basis}/c_{Last} = 0,1$ verwendet. Die *Pass-Gates* haben ebenfalls eine konstante Dimensionierung von $w_{nMOS} = 10\,\mu\mathrm{m}$ und $w_{pMOS} = 15\,\mu\mathrm{m}$. Es ist gut zu erkennen, dass sich für Frequenzen zwischen ein und zehn Megahertz bei maximaler Last ein Wirkungsgrad von rund 70% einstellt. Der Wert ist der Wirkungsgrad für Auf- und Entladen der Last über dem Diodenelement zusammen. Würde nur auf- oder entladen, so wäre der Wirkungsgrad entsprechend höher.

In den beiden folgenden Diagrammen ist zusätzlich der Anteil der Verluste in der Leistungsphase zum Umladen (Abbildung 7.8) sowie der zum Nachspeisen der Basisnetze benötigte Teil der Leistung dargestellt. Dabei fällt auf, dass gerade für höhere Frequenzen der Verlust in der Leistungsphase deutlich steigt, was auf die konstante, nicht lastabhängige Dimensionierung der *Pass-Gates* zurückzuführen ist.

Als letztes soll noch der Wirkungsgrad der erweiterten Struktur aus Abschnitt 5.3 untersucht werden. Dieser weist gegenüber der im vorigen Abschnitt untersuchten Grundstruktur den wesentlichen Vorteil des vollen Ausgangsspannungshubs auf, d. h., die Beschränkung des Ausgangsspannungshubs zum Ausgleich der Basis-Emitterspannung der Bipolartransistor kann entfallen. Für die Dimensionierung der Transistoren sind die gleichen

Werte wie in der vorherigen Simulation verwendet worden. Der Wirkungsgrad erhöht sich auf rund 89%, ein deutlich besserer Wert als bei der einfachen Struktur. Als Vergleichswert dient der Leistungsbedarf zum hartschaltetenden Umladen beider Lastkapazitäten, wie es in CMOS-Gattern verwendet wird.

7.4 Zusammenfassung

Die Simulationsergebnisse zeigen, dass sich in einer Systemsimulation einschließlich aller Verluste bei der einfachen Struktur für einen breiten Frequenzbereich bis etwa zehn Megahertz bei voller Last ein Systemwirkungsgrad von etwa 70% einstellt. Dies beinhaltet alle Verluste, vor allem auch die doppelten Verluste durch Auf- und Entladen über den Diodenelementen und den *Pass-Gates*. Weiterhin wurde die Leistungsaufnahme auf die reine Lastkapazität normiert, die tatsächlich umzuladende Kapazität ist durch die ebenfalls an die Ausgänge gekoppelten internen *Pass*-Transistoren größer.

Für die erweiterte Grundstruktur ergeben sich deutlich bessere Wirkungsgrade bis zu 90%, dies begründet sich vor allem in dem größeren nutzbaren Ausgangsspannungshub und dem daraus entstehenden günstigeren Verhältnis zwischen Verlusten und Lastkapazität.

Aus der Simulationsschaltung ergibt sich eine Eigenkapazität von rund 20 fF für jedes Basisnetz. Dieses erklärt den bei kleineren Lastkapazitäten deutlich sinkenden Wirkungsgrad, da sich die Eigenkapazität nicht mitskaliert und daher als konstanter, lastunabhängiger Wert in den Wirkungsgrad eingeht. Zudem verwenden die Simulationen konstante Dimensionierungen für die *Pass-Gates*. Betrachtet man den Anteil der in der Leistungsphase umgesetzten Leistung in Abbildung 7.8, so ist dies nicht optimal.

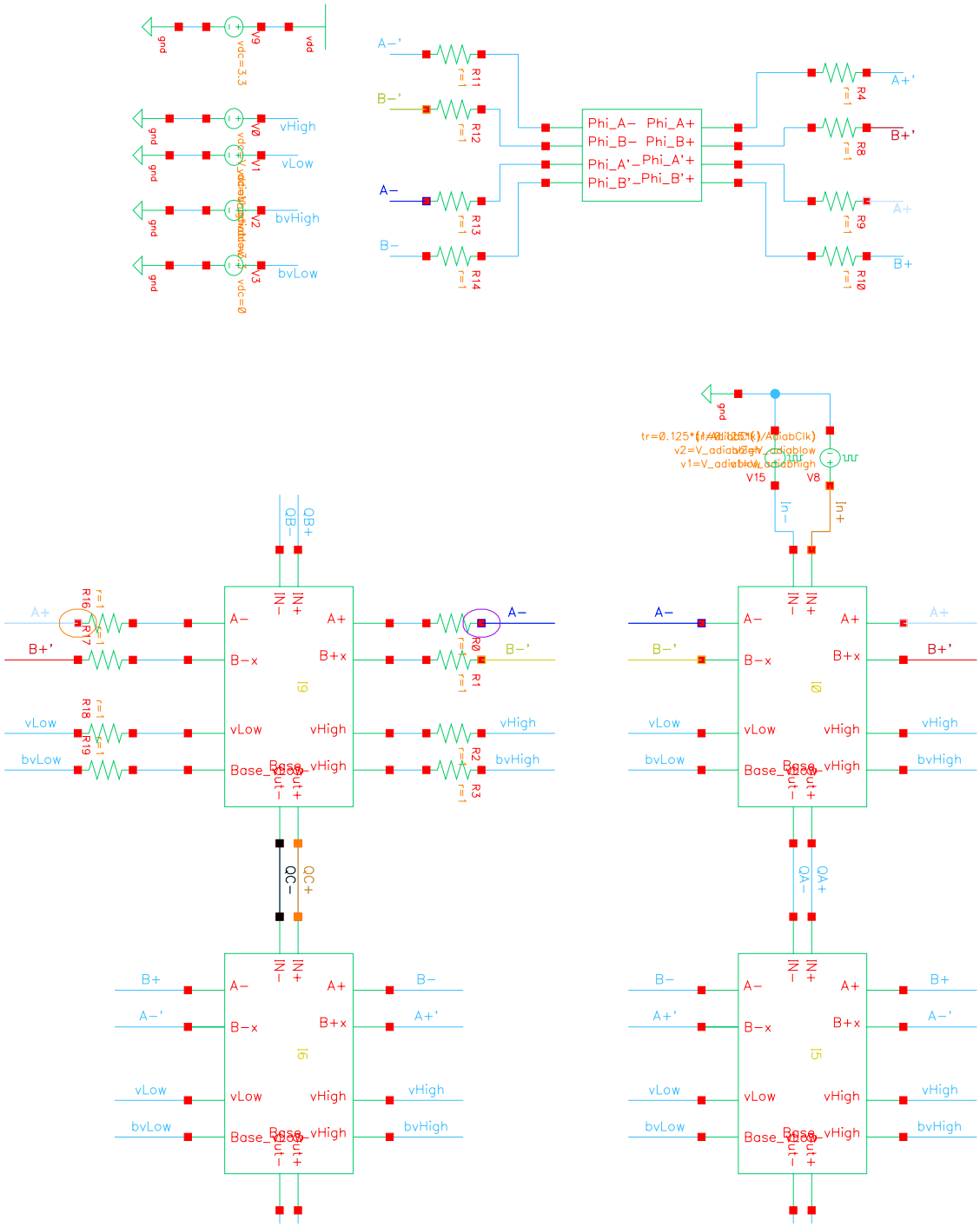

Abbildung 7.1: Simulationsschaltung für die Wirkungsgradmessung, die untersuchte Stufe ist links in der Mitte

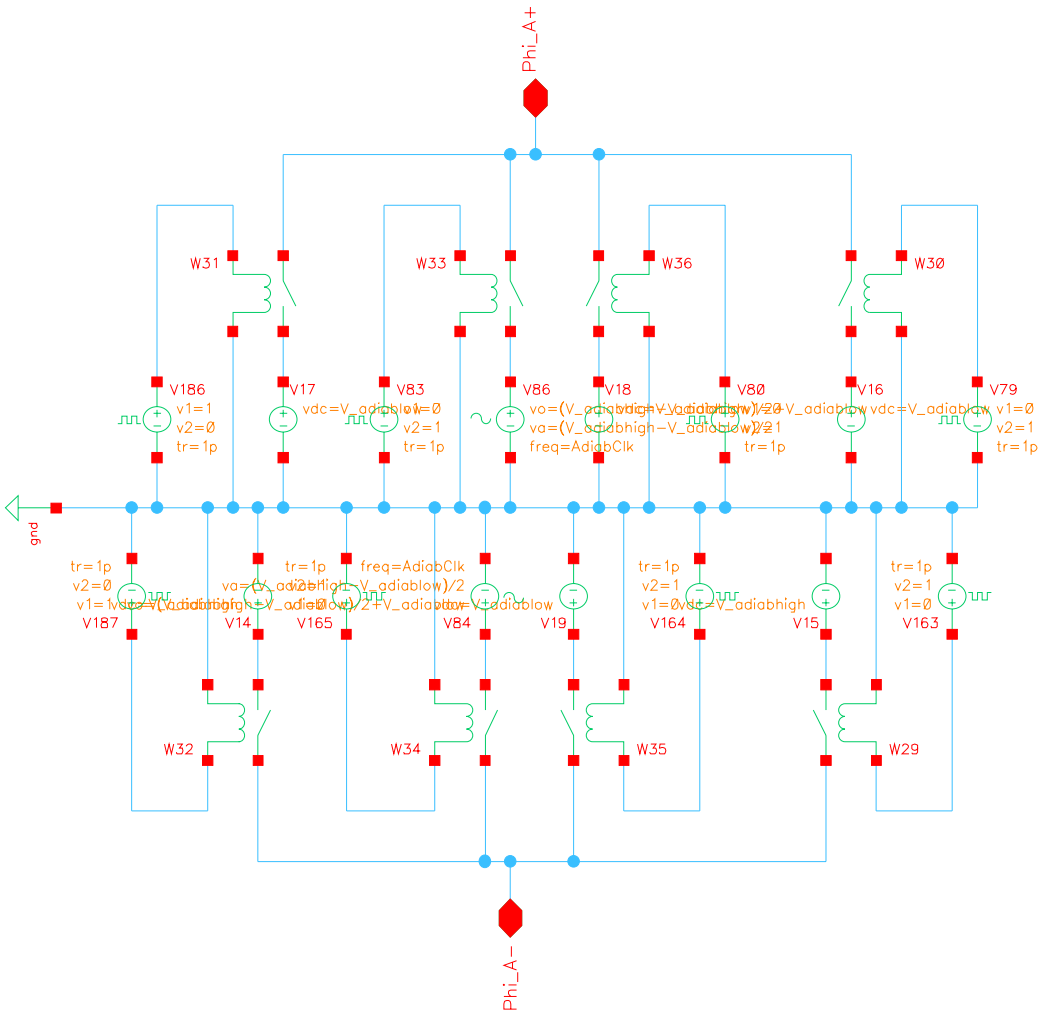

Abbildung 7.2: Schaltplan der Sinusquelle für ein Phasenpaar

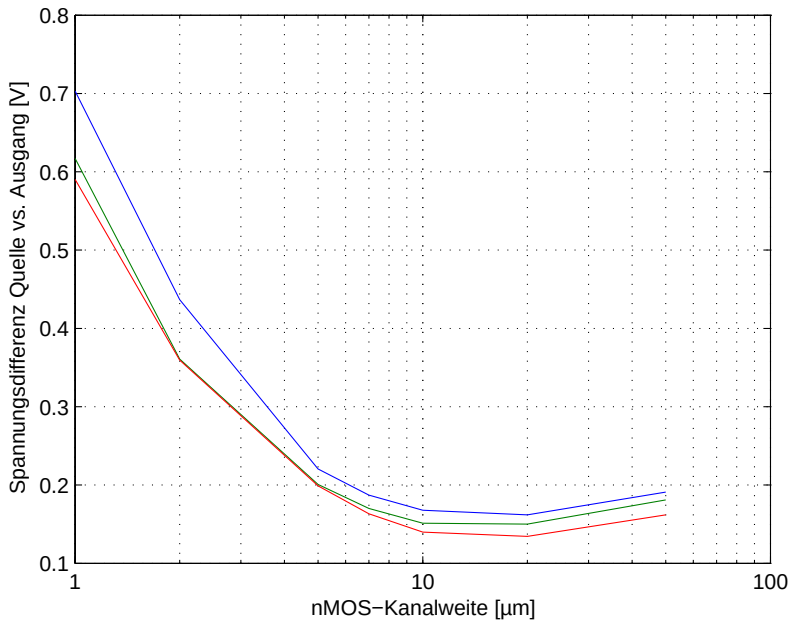

Abbildung 7.3: Flussspannungsverluste als Funktion der Kanalweite: Die Werte für die Basiskapazitäten sind (von oben nach unten) $C_{Basis} = 5\,\text{fF}$, $C_{Basis} = 20\,\text{fF}$ und $C_{Basis} = 100\,\text{fF}$.

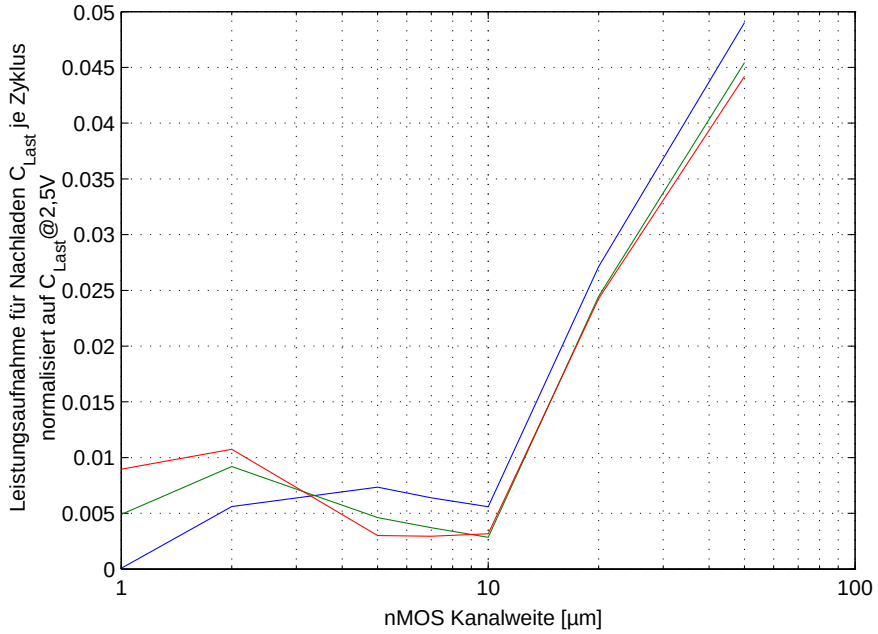

Abbildung 7.4: Normierte nachgespeiste Leistung für die Ausgangsnetze: Die Werte für die Basiskapazitäten sind (von oben nach unten, linke Seite) $C_{Basis} = 5\,\text{fF}$, $C_{Basis} = 20\,\text{fF}$ und $C_{Basis} = 100\,\text{fF}$.

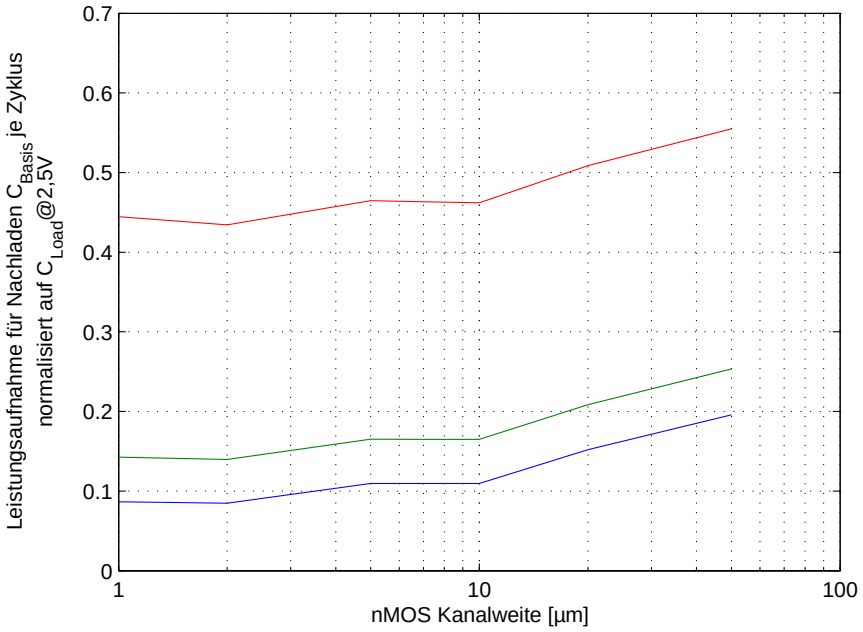

Abbildung 7.5: Normierte Leistungsaufnahme der Nachspeiseschaltung des Basisnetzes für einen Zyklus. Die Werte für die Basiskapazitäten sind (von oben nach unten) $C_{Basis} = 100\,\text{fF}$, $C_{Basis} = 20\,\text{fF}$) und $C_{Basis} = 5\,\text{fF}$.

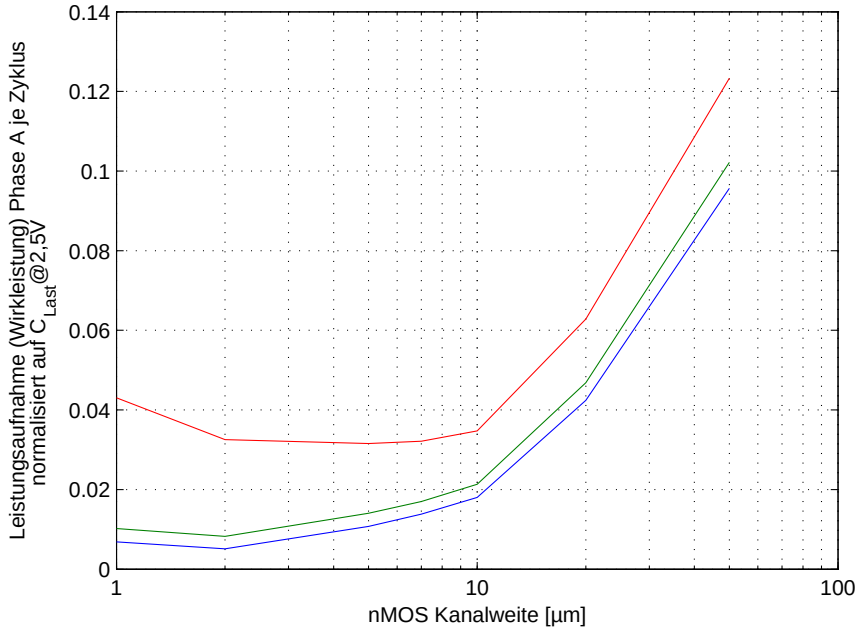

Abbildung 7.6: Normierter Wirkleistungsumsatz als Funktion der Kanalweite: Die Werte für die Basiskapazitäten sind (von unten nach oben) $C_{Basis} = 5\,\text{fF}$, $C_{Basis} = 20\,\text{fF}$ und $C_{Basis} = 100\,\text{fF}$.

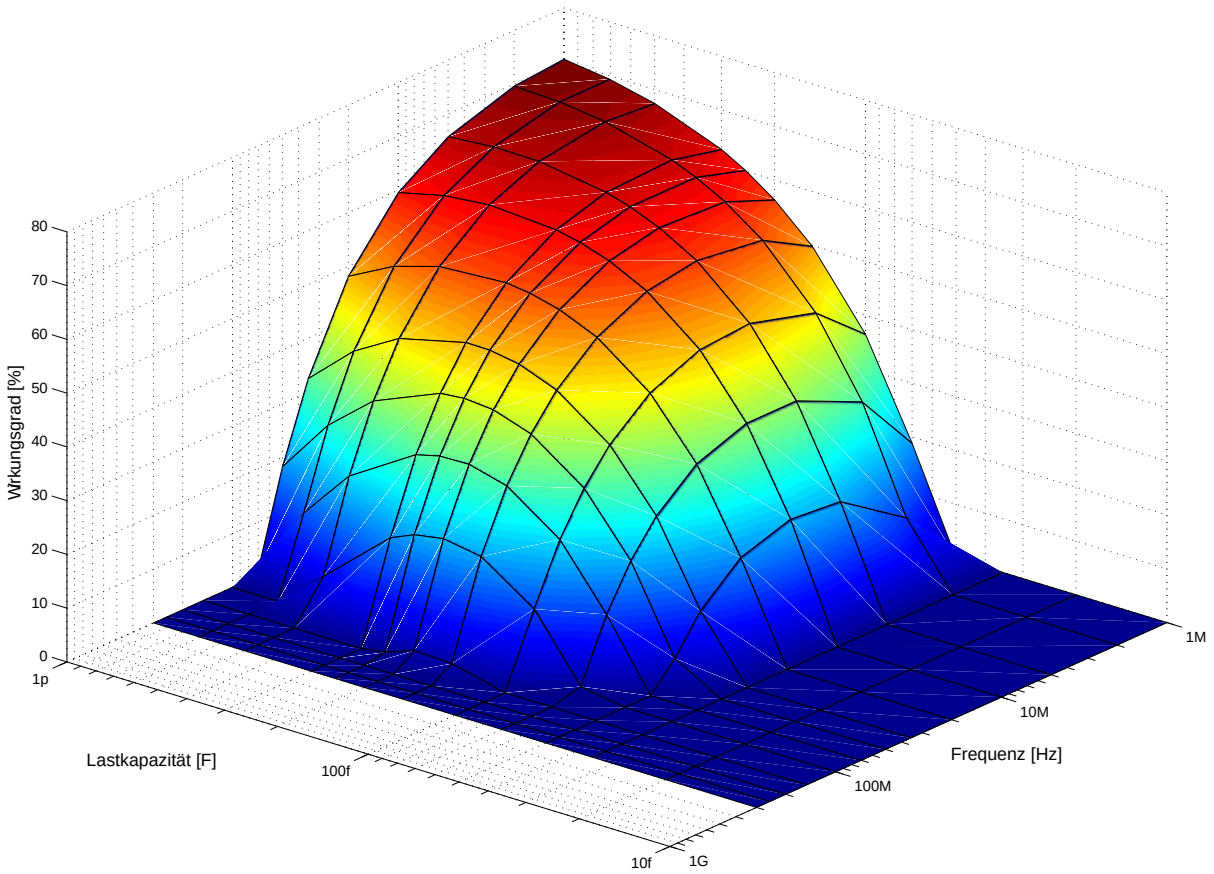

Abbildung 7.7: Systemwirkungsgrad als Funktion der Lastkapazität und der Frequenz

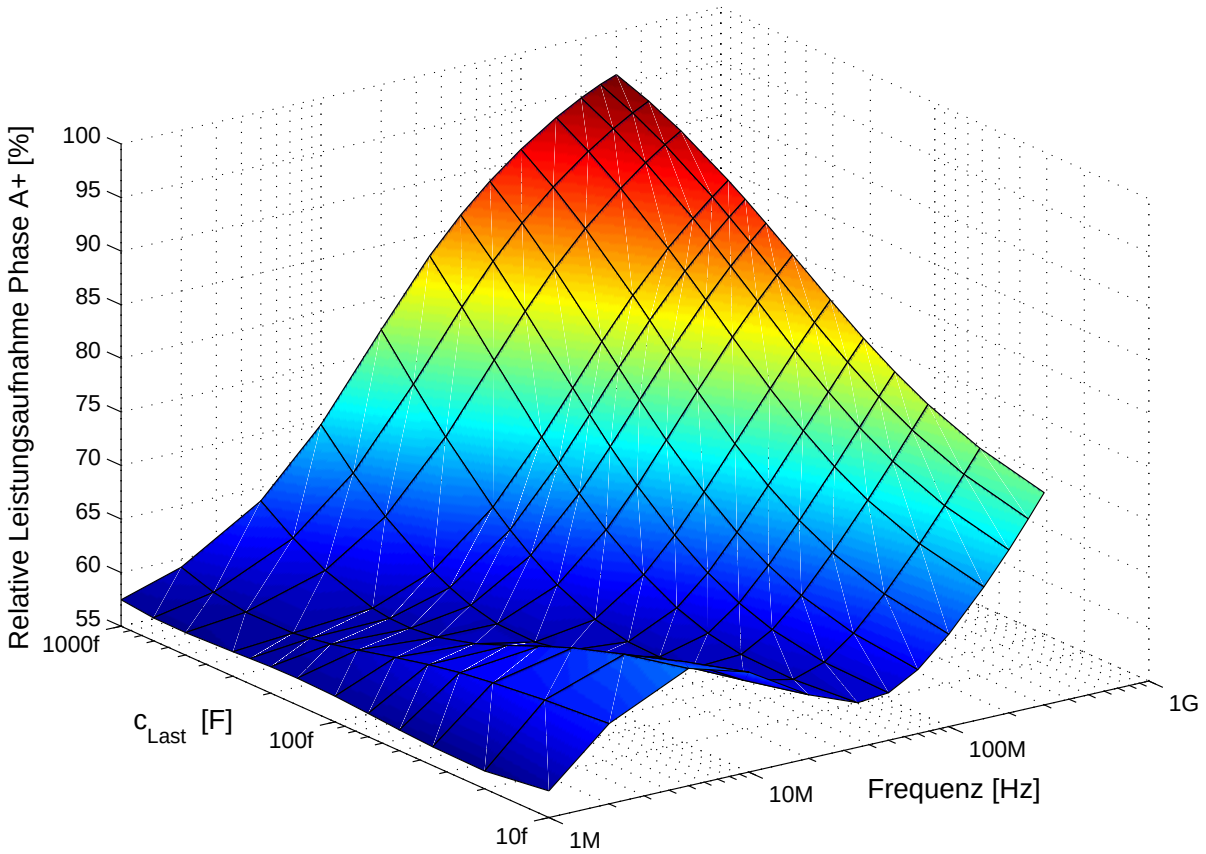

Abbildung 7.8: Anteil der Phase $A-$ an den gesamten Verlusten

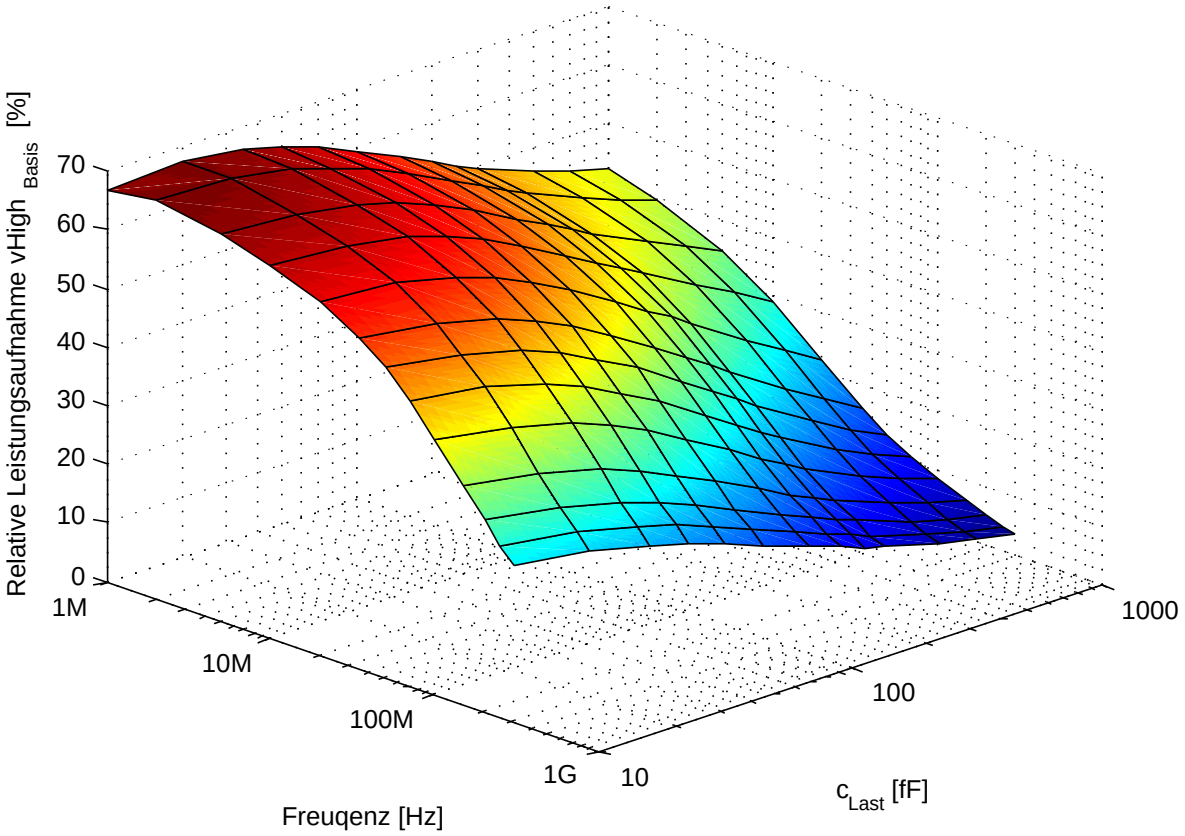

Abbildung 7.9: Anteil der Basisnachladeschaltung an den gesamten Verlusten

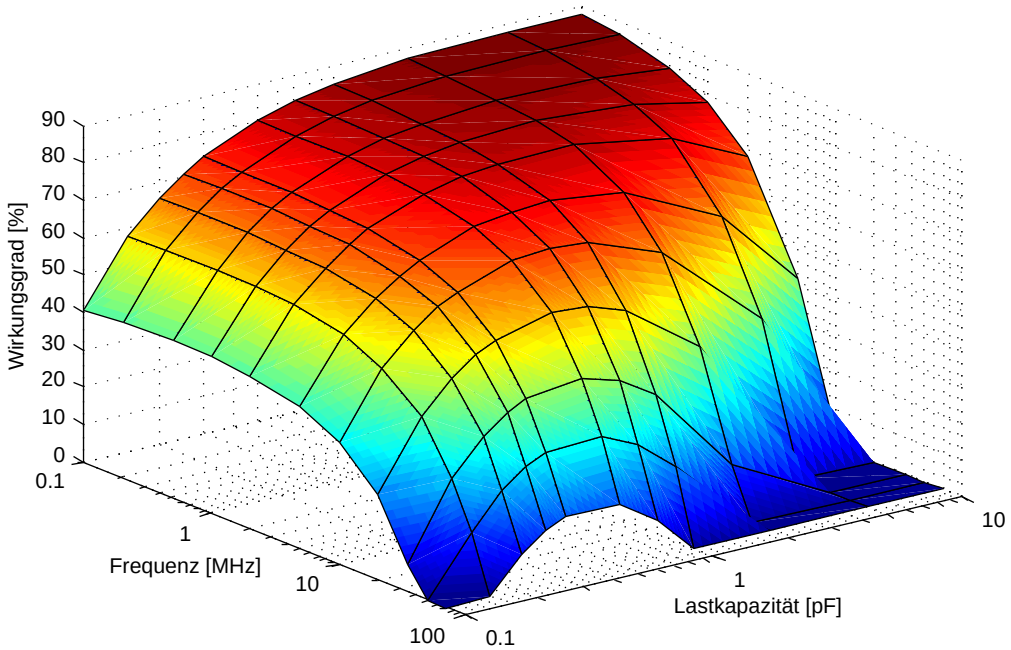

Abbildung 7.10: Systemwirkungsgrad der erweitertern Struktur als Funktion der Lastkapazität und der Frequenz

Kapitel 8

Verifikation des Diodenelements mittels eines *ASIC*s

Zur Verifikation des in den vorigen Kapiteln dargestellten Konzepts des bipolartransistor-basierten Diodenelementes sowie der Logikfamilie *biQSERL* ist ein ASIC entwickelt und gefertigt worden.

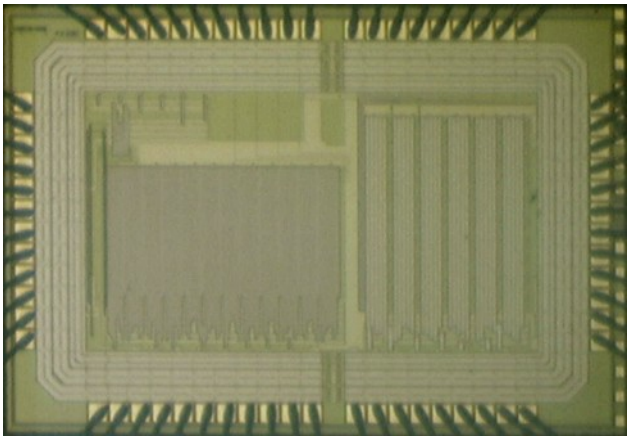

Abbildung 8.1: Foto des Chips

Ein Chipfoto dieses *ASIC*s ist in Abbildung 8.1 wiedergegeben. Darin sind die beiden Teilstrukturen auf dem *ASIC* gut zu erkennen: Der rechte Teil ist adiabatische Domino-Logik, diese dient zur Validierung der Leistungsfähigkeit des Konzepts des Diodenelements. Der linke Hälfte besteht aus *biQSERL*-Logik. Zusätzlich ist ein Layout des *ASIC*s in Abbildung 8.2 wiedergegeben.

Das *Domino-Logik*-Element ist eingefügt worden, da aufgrund der schlechteren Eigenschaften der verfügbaren *pnp*-Transistoren mit der adiabatischen Gegentakt-Logik nicht die volle Leistungsfähigkeit des Konzepts gezeigt werden kann. Das *Domino-Logik*-Element basiert ausschließlich auf *npn*-Transistoren sowie *MOSFETs* und kann daher die volle Leistungsfähigkeit der in dem Prozess verfügbaren Silizium-Germanium-Bipolartransistoren ausschöpfen.

8.1 Domino-Logik-Teil des *ASIC*s

Das *Domino-Logik*-Element folgt in seinem Konzept dem von vielen adiabatischen Logikfamilien bekannten Verfahren: Der Aufladevorgang einer Stufe erfolgt datenabhängig, der Entladevorgang dagegen über eine Ladungsrückgewinnungsschaltung. Im Fall des *Domino-Logik*-Elements besteht diese Ladungsrückgewinnungsschaltung aus dem im Kapitel 4 vorgestellten bipolartransistor-basierten Diodenelement. Das Diodenelement sorgt dabei für die Entkopplung zwischen aufgeladenen und nicht-aufgeladenen Netzen, auf diese Weise können mehrere Netze mit einer Quelle gesteuert werden.

Dieser Aufbau hat allerdings den ebenso bereits dargestellten Nachteil, dass in jedem Taktzyklus eine Ladungsrückgewinnungsphase durchlaufen wird. Daher muss im nächsten Taktzyklus gegebenenfalls wieder eine Aufladephase erfolgen, wenn der Ausgang '1' sein soll. Da dieser Entlade-/Aufladezyklus unabhängig von *Änderungen* der Eingangszustände ist, wird er immer ausgeführt, auch dann, wenn das Eingangssignal sich nicht geändert hat. Dies führt in jedem Fall zu einem schlechteren Wirkungsgrad gegenüber einer *CMOS*-ähnlichen Implementierung, die nur bei Änderung des Ausgangszustands eine Umladephase ausführt.

Da zur Steuerung der Basisspannungen invertierte Signale benötigt werden, ist die Logik eine differentielle Logik, jedes Gatter besitzt neben dem normalen, nicht-invertierten Ausgang einen komplementären Teil mit einem invertierten Ausgang. Folglich wird in jedem Taktzyklus einer der beiden Teile eines Gatters auf- und wieder entladen. Welcher von beiden dies ist, hängt von den Eingangswerten ab. Dies führt zu einer konstanten kapazitiven Last für den Taktgenerator.

Der *Domino-Logik*-Teil wird mit einem dreiphasigen Takt betrieben. Auf diese Weise ist es möglich, aus dem Takt zusätzliche Hilfssignale zu generieren. Diese Hilfssignale werden z. B. benötigt, um Schalter zum Ausgleich der Umladeverluste zu steuern. Ein Beispiel für die Spannungsverläufe ist in Abbildung 8.3 wiedergegeben. Hierin sind drei Inverter einer Inverterkette dargestellt. Der erste Inverter mit den Ausgängen *Q0A+* und *Q0A-* wird von Takt *A+* gesteuert, der zweite Inverter mit den Ausgängen *Q0B+* und *Q0B-* von Takt *B+* und der dritte Inverter mit den Ausgängen *Q0C+* und *Q0C-* von Takt *C+*.

Die Inverterkette wird dabei derart angesteuert, dass sich der Ausgangszustand der Inverter bei jedem Zyklus ändert. Entsprechend sind in den Kurvenverläufen der Simulation die Ausgänge einer Stufe jeweils wechselweise in jedem zweiten Zyklus gesetzt. In der Simulation wurde ein Takt von $166,7$ MHz für die Phasen verwendet. Dies ergibt einen effektiven Durchsatz von einer Milliarde Transitionen pro Sekunde, da mit jeder steigenden Flanke (sowohl der normalen wie auch der invertierten Phasen der Leistungstakte) sich eine Logikstufe ändern kann. Aufgrund des Versatzes von 60°zwischen den Phasen können sechs Transitionen je Taktzyklus durchgeführt werden, was einem effektiven Takt von 1GHz entspricht.

In Abbildung 8.5 ist das verwendete Layout dargestellt, allerdings nur mit der untersten Metalllage. In der linken Hälfte des Layouts befinden sich die *Pass-Gates*, in der rechten Hälfte die Bipolartransistoren sowie die Nachladeschalter. Die eigentlichen Bipolartransistoren befinden sich innerhalb der gelb umrandeten Kästchen. Oberhalb des oberen bzw.

unterhalb des unteren Bipolartransistors befindet sich der Steuerkondensator für die jeweilige Transistorbasis. Die großen Flächen in der rechten oberen und rechten unteren Ecke sind zusätzliche Entkopplungskondensatoren für die Versorgungsspannung. Die ganze Struktur ist dabei so aufgebaut, dass sie anreihbar ist. Dazu befinden sich alle Eingänge an der unteren Kante, alle Ausgänge an der oberen Kante. Die Takte werden über die in dieser Abbildung nicht dargestellten oberen Metalllagen zugeführt.

8.2 *biQSERL*-Logik-Teil des *ASIC*s

Zur Untersuchung der *biQSERL*-Logik ist in dem Versuchs-*ASIC* eine Struktur aus $6 * 12$ Invertern vorgesehen. Anstelle der in den vorigen Kapiteln vorgestellten symmetrischen, vierphasigen Taktung wird ein Taktschema mit einer höheren Taktdichte verwendet, indem eine der beiden Pausen zwischen den Flanken eingespart wird. Dies kürzt jeden Zyklus um 25% der Zeit. Hierzu sind jedoch innerhalb der Zellen mehr Transistoren notwendig. Der Schaltplan dieser Stufe wurde bereits in Abbildung 5.4 dargestellt.

Da die Inverter auf dem *ASIC* aus Platzgründen mit maximaler Dichte angeordnet sind und nur jeweils einen Inverter als Last haben, gibt es nahezu keine kapazitive Belastung der Ausgänge der einzelnen Inverterstufen durch größere Verbindungsnetzwerke, längere Metallleitungen oder eine größere Zahl von Eingängen. Daher werden die Ausgänge der Stufen zusätzlich mit Kapazitäten belastet, um dies zu simulieren. Sowohl die Steuerkapazitäten als auch die Lastkapazitäten sind dabei als *Poly1-Poly2*-Kondensatoren aufgebaut, dass heißt, sie entstehen durch die Koppelkapazität zwischen den beiden Polysiliziumlagen. Die Kondensatoren sind folglich näherungsweise ideale Kondensatoren.

Das Layout einer Inverterstufe ist in Abbildung 8.9 dargestellt. In dem Layout sind die in dem verwendeten Prozess verfügbaren lateralen *pnp*-Transistoren eingesetzt. Der Inverter ist dabei eine doppelte Struktur mit einem normalen und einem invertierten Ausgang. Die auffälligen Elemente in den beiden Teilschaltungen sind (von oben nach unten): Die Lastkapazität (ein *Poly1-Poly2*-Kondensator), links darunter der *pnp*-Transistor, rechts daneben (eingerahmt) der *npn*-Transistor, darunter der Basiskondensator (ebenfalls ein *Poly1-Poly2*-Kondensator). Anhand des Layouts kann auch der Größenunterschied zwischen einem lateralen *pnp*-Transistor, wie er sich aus den normalen Entwurfsregeln ergibt, und einem hoch-optimierten vertikalen Transistor nachvollzogen werden.

8.3 Versuchsaufbau für den *ASIC*

Um den *ASIC* testen zu können, ist ein Versuchsaufbau entwickelt worden. Der Versuchsaufbau besteht im Wesentlichen aus zwei Teilen, einem Signalgenerator und der eigentlichen *ASIC*-Platine. Der Signalgenerator erzeugt dabei die Leistungsphasen, die die eigentlichen Umladevorgänge durchführen. Der Signalgenerator arbeitet mit einer *Sampling-Rate* von $f_S = 150$ MHz und kann von daher Frequenzen bis etwa 50 MHz erzeugen; ein Bild des Signalgenerators ist in Abbildung 8.11 wiedergegeben.

Kernstück des Signalgenerators sind zwei *FPGA*s, wodurch bis zu acht Kurvenformen direkt aus den internen Speichern als Digitalwerte an die Digital-Analogwandler gegeben werden und so beliebige Wellenformen erzeugt werden können. Der Signalgenerator besitzt ausreichend leistungsfähige Ausgangstreiber, um $50\,\Omega$-Lasten direkt ansteuern zu können, was für den Versuchs-ASIC zum Betrieb genügt.

Die Versuchsplatine für den eigentlichen *ASIC* enthält nur die notwendigen Spannungsversorgungen, ansonsten ist sie ein rein passiver Kontaktadapter. Ein Bild der Versuchsplatine ist in Abbildung 8.10 wiedergegeben.

Im Weiteren sind einige Oszilloskopbilder von Messungen dargestellt. Das ersten beiden Bilder (Abbildung 8.6 und Abbildung 8.7) zeigen Ausgänge des Domino-Logik-Teils des *ASICs*. Es ist deutlich die Arbeitsweise der Domino-Logik zu sehen: Der Ausgang wird nur gepulst auf 1 gezogen, und kehrt anschließend in jedem Fall wieder auf 0 zurück. Ebenso ist der Laufzeitversatz zwischen den beiden Ausgängen, bedingt durch die getaktete Arbeitsweise, vergleichbar einem Schieberegister, zu sehen. Im dritten Oszilloskopbild (Abbildung 8.8) ist der Strom einer Leistungsphase dargestellt, oben der Strom, unten die Spannung. Es ist deutlich zu erkennen, dass eine kapazitive Last Auf- und Entladen wird.

8.4 Eigenschaften der verwendeten Halbleitertechnologie

Bevor im nachfolgenden Kapitel die vorgestellte Grundstruktur bezüglich ihrer Kenngrößen untersucht wird, sollen zuvor einige Eigenschaften des dafür verwendeten Prozesses dargestellt werden. Grundlage für die Simulationen ist ein $0,35\mu m$-SiGe-HBT-BiCMOS-Prozess von der Firma *AustriaMicroSystems*. Der Prozess ist primär ein *CMOS*-Prozess zum Aufbau von Digitalschaltungen, zusätzlich sind in diesem Prozess auch Bipolartransistoren verfügbar. Die Bipolartransistoren sind vertikale, d. h. mit eigenen Maskenschritten hergestellte *npn*-Transistoren sowie laterale, d. h. aus *pn*-Übergängen zusammengeschaltete *pnp*-Transisitoren. Daher unterscheiden sich die Transistoren in ihren Eigenschaften, insbesondere der Grenzfrequenz und der Stromverstärkung, sehr stark. Um dies auszugleichen, basieren einige der Simulationen auf einem fiktiven *pnp*-Transistor. Der Transistor ist dabei in seinen Eigenschaften von dem im Prozess enthaltenen *npn*-Transistor abgeleitet. Dieser Weg wurde gewählt, da mit dem im Prozess enthaltenen *pnp*-Transistor die erreichbaren Ergebnisse unbefriedigend sind, dies jedoch nicht durch physikalische Gegebenheiten oder durch das vorgestellte Konzept bedingt wird, sondern auf wirtschaftlichen Gründen bei der Auslegung des Prozesses beruht. Der Prozess ist für Kommunikationsanwendungen vorgesehen, bei denen der hochfrequente Signalweg ausschließlich aus *npn*-Transistoren aufgebaut werden kann und *pnp*-Transistoren nur für Hilfszwecke erforderlich sind. Dies erspart zusätzliche Masken- und Prozessschritte, die für die Herstellung breitbandiger *pnp*-Transistoren erforderlich wären.

8.4.1 Eigenschaften der verfügbaren Bipolartransistoren

In diesem Prozess sind sowohl *npn*- wie auch *pnp*-Transistoren verfügbar. Die *npn*-Transistoren sind dabei vertikale Transistoren, d. h. die einzelnen Schichten des Transistors liegen übereinander. Damit lassen sich die parasitären Kapazitäten innerhalb des Transistors minimieren und gleichzeitig die Kontaktflächen maximieren. Dafür werden jedoch bei der Herstellung zusätzliche Maskenschritte benötigt, was zu entsprechend höheren Fertigungskosten führt. Andererseits ermöglicht dies optimale Abmessungen und Dotierungen der einzelnen Schichten; im Fall des verwendeten Prozesses kann dadurch sogar Silizium-Germanium als Halbleitermaterial für die Basis des Transistors verwendet werden. Silizium-Germanium besitzt eine höhere Elektronenbeweglichkeit als reines Silizium, wodurch eine höhere Grenzfrequenz ermöglicht wird als bei einem reinen Siliziumaufbau. Die Flussspannungen bleiben unverändert.

Parameter	npn	pnp
DC-Verstärkung β_f	160..600	80..110
Miller-Kapazität c_{cb}	4.3 fF	$\approx$ 30 fF
Transitfrequenz f_{Tr}	55 GHz	$1,8$ GHz

Der prinzipielle Aufbau eines vertikalen *npn*-Transistors ist in Abbildung 8.13 dargestellt (z. B. [28]). Der eigentlich 'aktive' Teil des Transistors befindet sich unterhalb des Emitters in der Basis, entsprechend befindet sich dort auch der mit dem schwarzen Kästchen markierte Teil aus Silizium-Germanium.

Für diesen Transistor ist die Flussspannung über die Kollektor-Emitterstrecke als Funktion des Kollektor- und des Basisstroms in Abbildung 8.12 dargestellt. Für die oberste Kurve beträgt der Basisstrom $3,3\%$ des Kollektorstroms, für die zweite Kurve von oben 33%, die dritte Kurve von oben für 1 und für die unterste Kurve $3,3$, d. h. der Basisstrom ist größer als der Kollektorstrom. Es ist deutlich zu sehen, dass mit steigendem Basisstrom die Flussspannung über die *C*-*E*-Strecke kleiner wird. Gleichzeitig tritt jedoch bei größeren Kollektorströmen früher eine Überkompensation ein, da der Summenstrom im Emitter steigt. Als letztes ist für den *npn*-Transistor die Verstärkung als Funktion der Frequenz und des Kollektorstroms in Abbildung 8.14 dargestellt. Es lässt sich erkennen, dass bei geeigneter Dimensionierung der Beschaltung der Transistor bis in den zweistelligen Gigahertzbereich verwendet werden kann.

Der im *AMS*-Prozess verfügbare *pnp*-Transistor ist dagegen ein Lateraltransistor. Das bedeutet, dass der Transistor aus Diodenstrecken im Substrat zusammengeschaltet wird. Dies vermeidet, dass zusätzliche Prozessschritte benötigt werden, stattdessen kann der Transistor im Rahmen der normalen Prozessschritte für Wannen- und Kontaktdotierung hergestellt werden. Die Dotierungen und Geometrien können daher nicht speziell für den Transistor optimiert werden. Entsprechend sind die elektrischen Eigenschaften des Transistors auch deutlich schlechter als die des vertikal aufgebauten *npn*-Transistors. Ein Querschnitt durch einen derartigen Transistor ist in Abbildung 8.15 schematisch dargestellt. Der Transistor besteht im Prinzip aus *pMOSFET*s, wobei die Wanne, in der die Transistoren liegen, als Basis dient. Die *MOSFET*s werden dabei in jedem Fall gesperrt, damit

der Strom zwischen den Kontakten mittels der Ladungsträgerinjektion in die Wanne unterhalb der Transistoren gesteuert werden kann, womit sich ein Bipolartransistor bildet. Die beiden p-Diffusionskontakte am linken und rechten Rand sind ein *Guard*-Ring um den Transistor herum zur Vorspannung des Substrats; die Trennelemente z. B. zwischen den äußeren Kontakten und den Basiskontakten bestehen aus Feldoxid. Die Verstärkung für diesen Transistor ist als Funktion von Frequenz und Kollektorstrom in Abbildung 8.16 dargestellt.

Da die *Spice*-Modelle der in den Simulationen verwendeten Transistoren auf Messungen basieren, gibt es keinen direkten Parameter, anhand dessen der Unterschied zwischen einem *npn*- und *pnp*-Transistor festgelegt werden kann. Für die Simulationen werden daher einfach die Parameter des *npn*-Transistors für den *pnp*-Transistor übernommen. Für eine korrekte Modellierung des *pnp*-Transistors müsste jedoch zusätzlich die geringere Ladungsträgerbeweglichkeit der Löcher als Majoritätsladungsträger in einem *pnp*-Transistor und die daraus resultierende geringere Grenzfrequenz berücksichtigt werden, dies kann z. B. durch eine Vergrößerung der *Miller*-Kapazität (Kollektor-Basis-Koppelkapazität) erfolgen. In den Simulationen zeigte sich aber, dass der begrenzende Faktor die Leitfähigkeit der *MOSFET*s ist, sodass es in den Simulationen letztlich unerheblich ist, ob der *pnp*-Transistor mit oder ohne Berücksichtigung der geringeren Ladungsträgerbeweglichkeit verwendet wird.

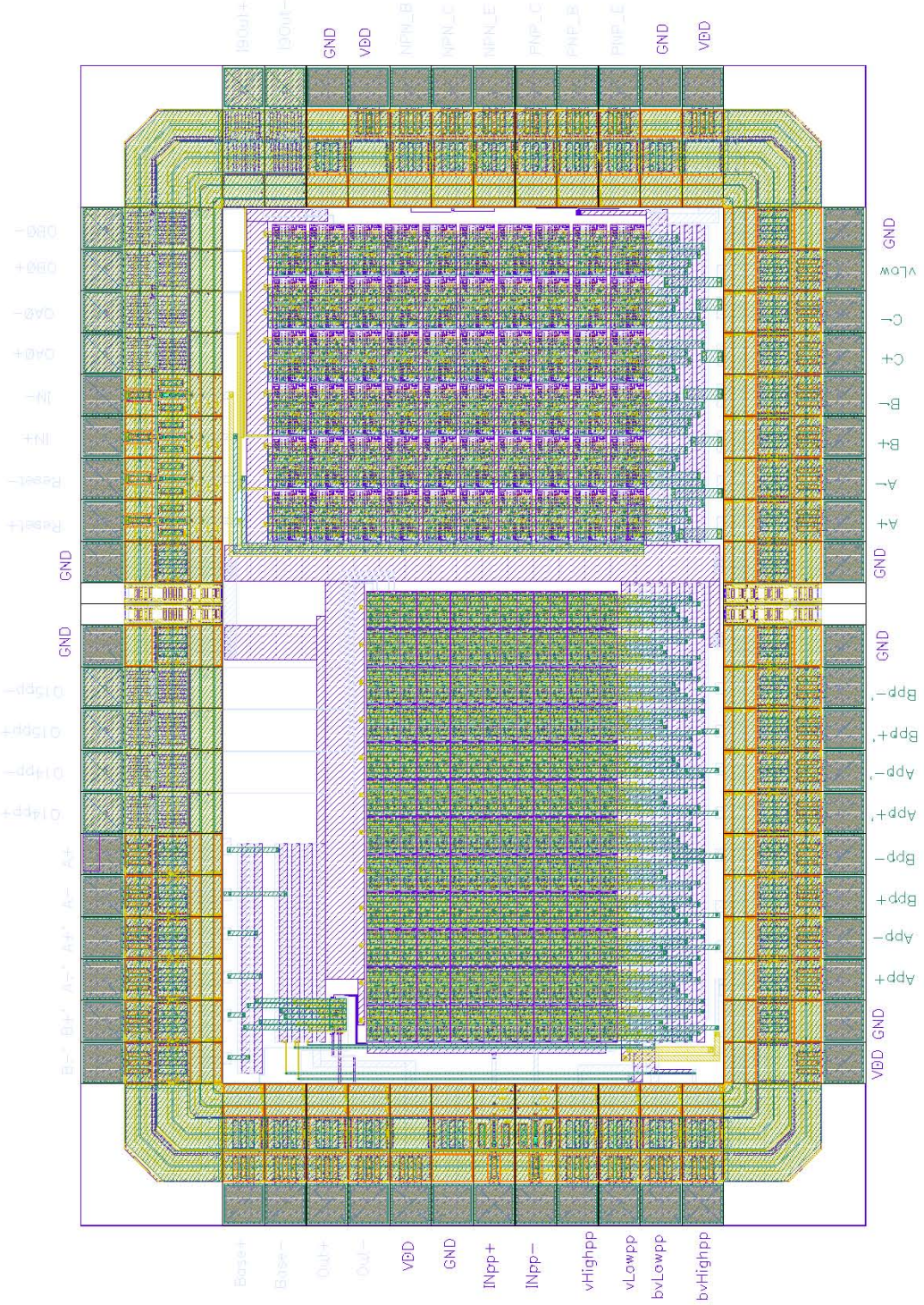

Abbildung 8.2: Layout des *ASIC*s; oben der *Domino*-Logik-Teil, unten der *biQSERL*-Logik-Teil

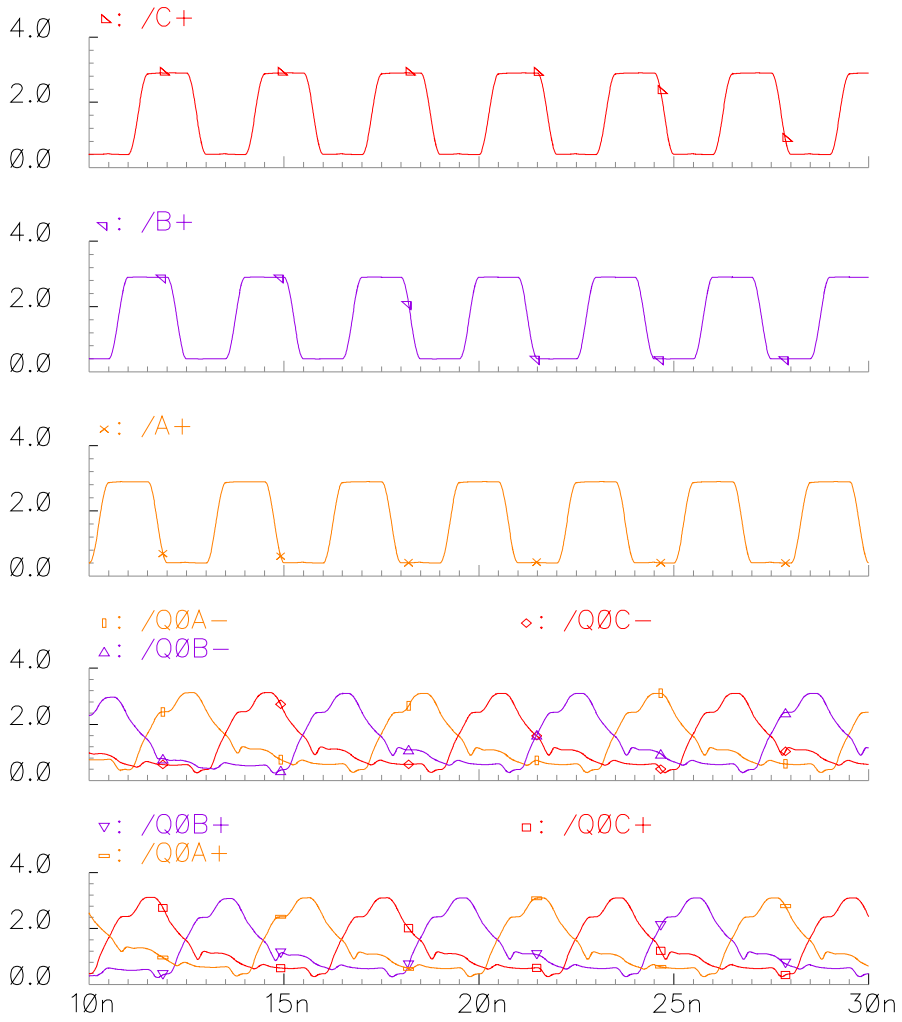

Abbildung 8.3: Spannungsverläufe für drei aufeinanderfolgende Stufen der Dominologik

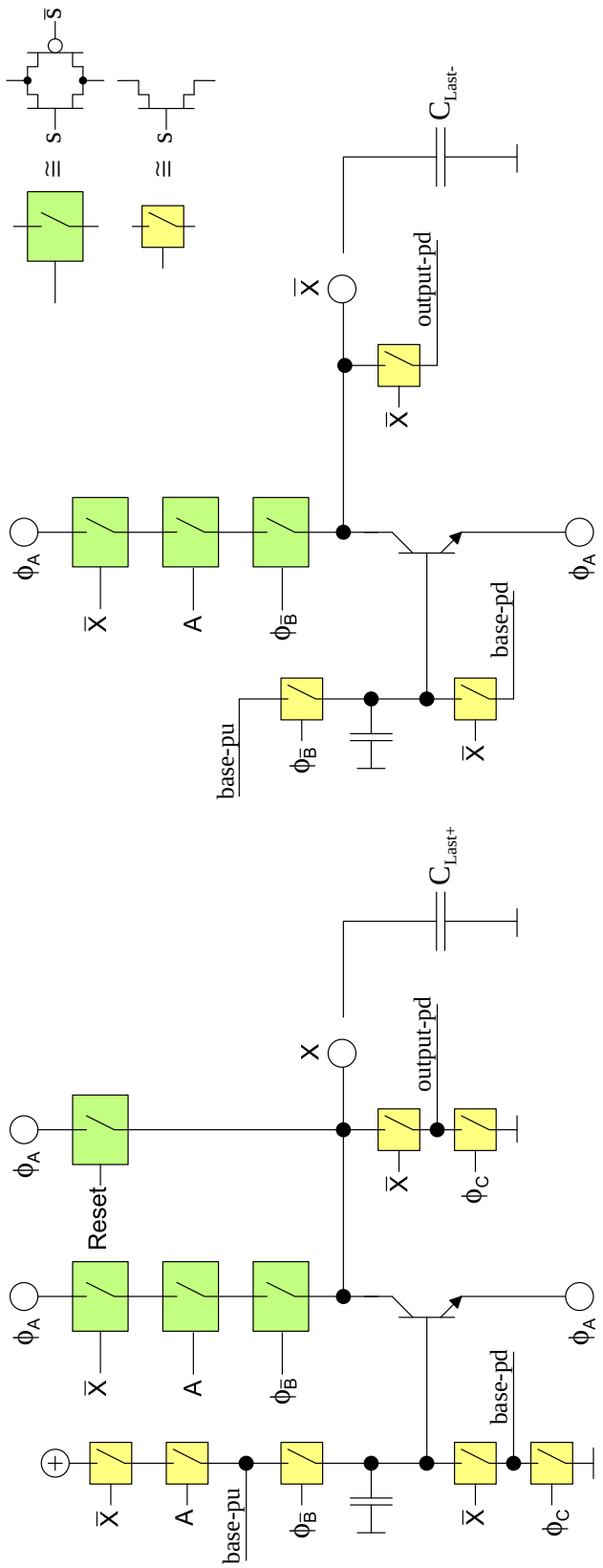

Abbildung 8.4: Schaltplan eines Inverters in adiabatischer Dominologik

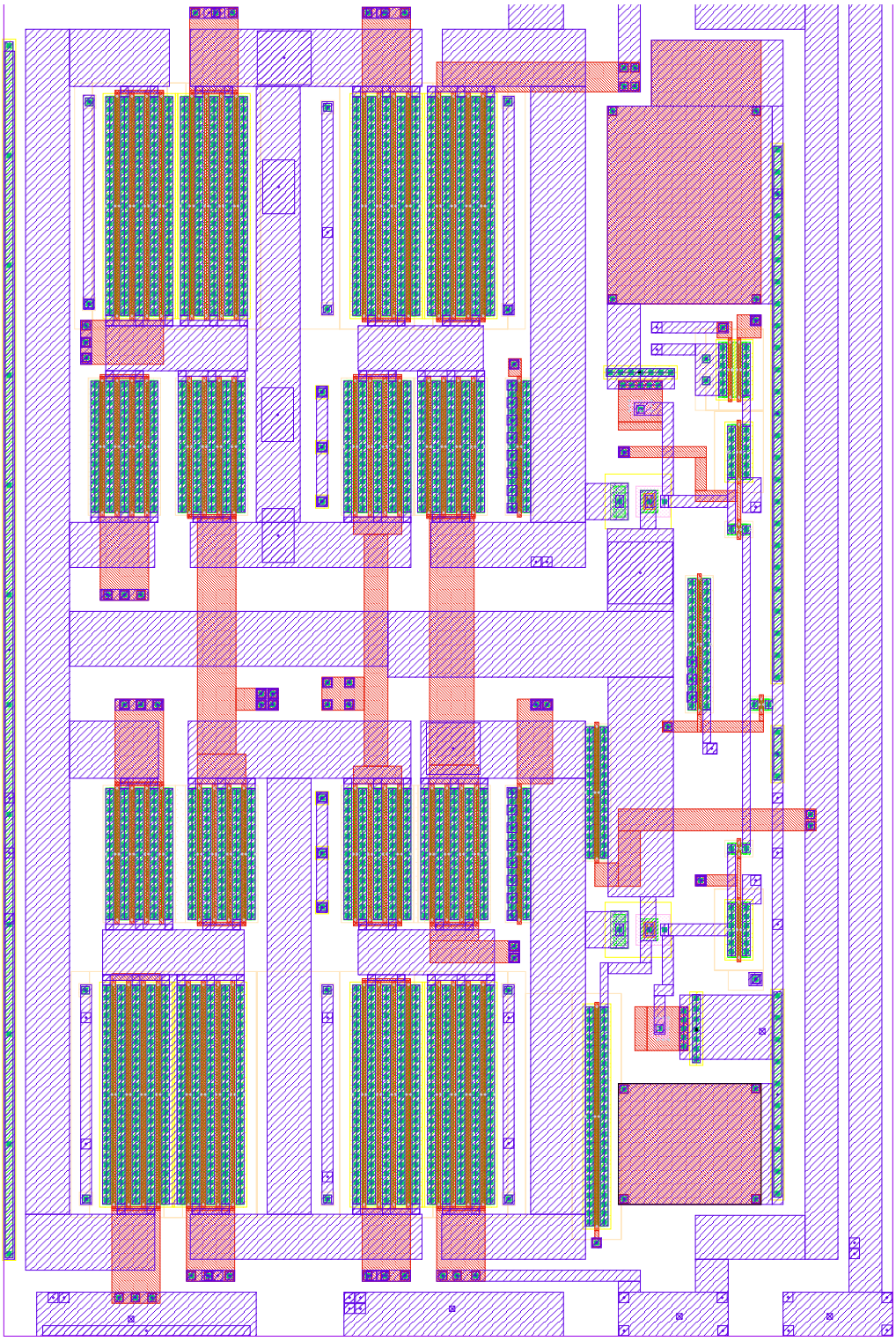

Abbildung 8.5: Layout eines Inverters in adiabatischer Dominologik (von den Metalllagen ist nur die erste Lage dargestellt)

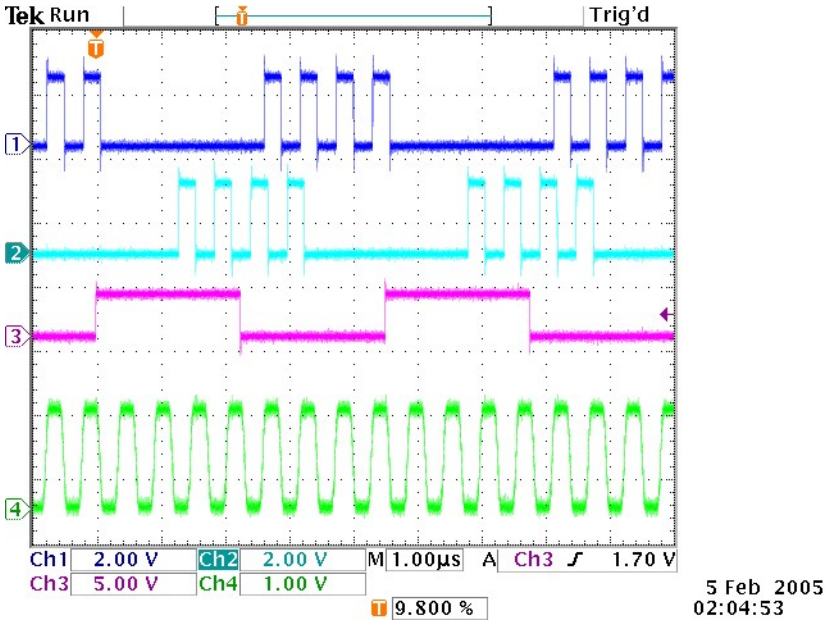

Abbildung 8.6: Domino-Logik: Oszilloskopbild einer Messung. Unten die Leistungsphase, darüber das Eingangssignal vom Signalgenerator, oben der Ausgang der ersten Stufe, darunter der Ausgang der letzten Stufe einer Inverterkette.

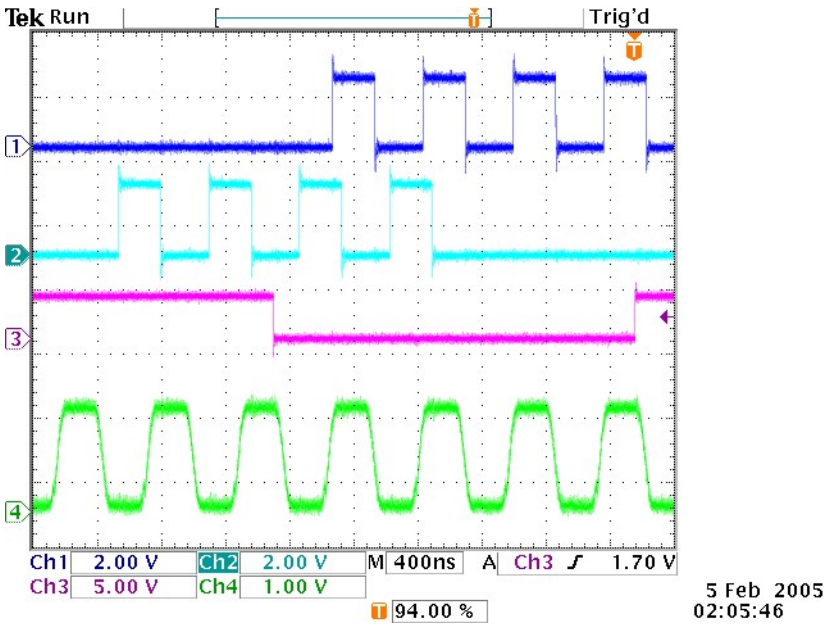

Abbildung 8.7: : Ausgänge $QA+$ (oben) und $QF+$ (darunter), ganz unten die Phase $C+$ und darüber das Eingangssignal $In+$

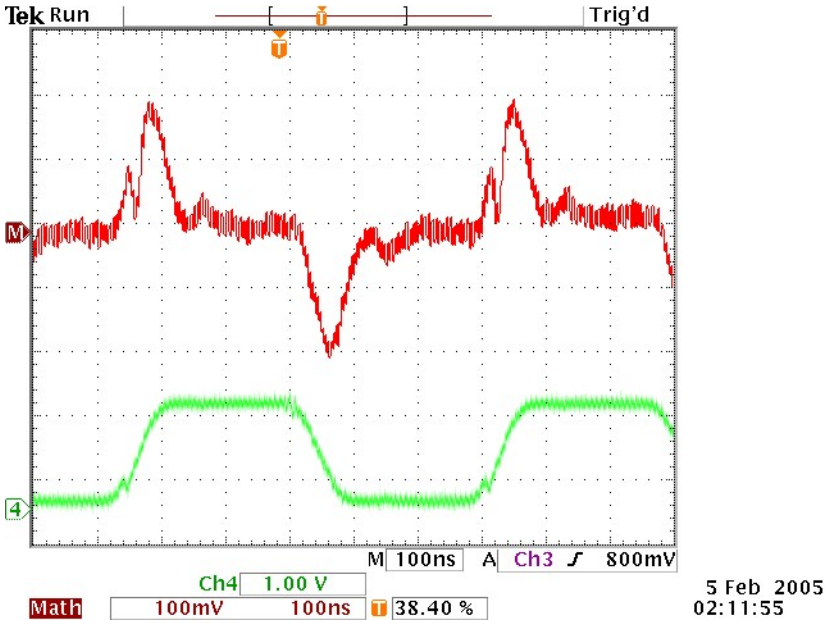

Abbildung 8.8: Domino-Logik: Phase $C+$ und Strom der Phase $C+$

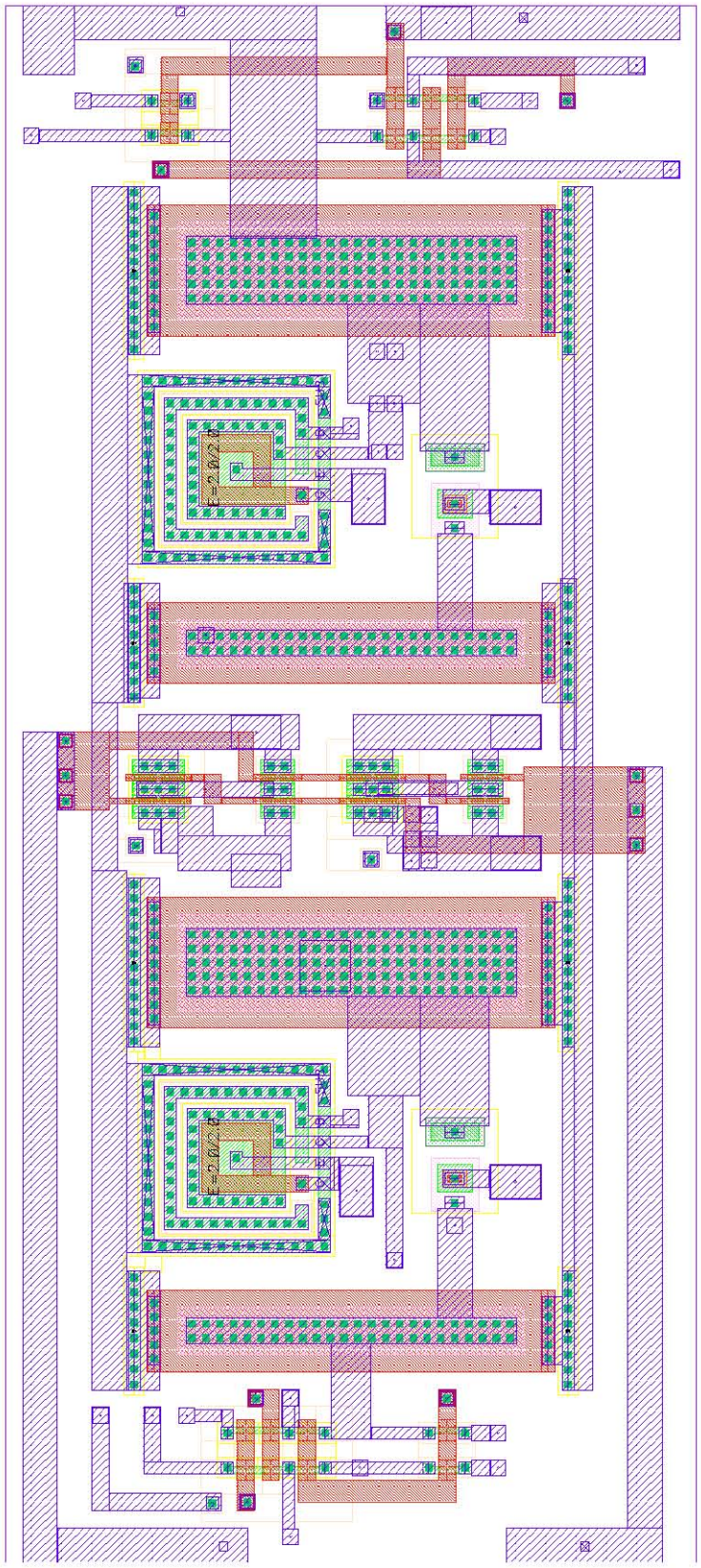

Abbildung 8.9: Layout eines *biQSERL*-Inverters

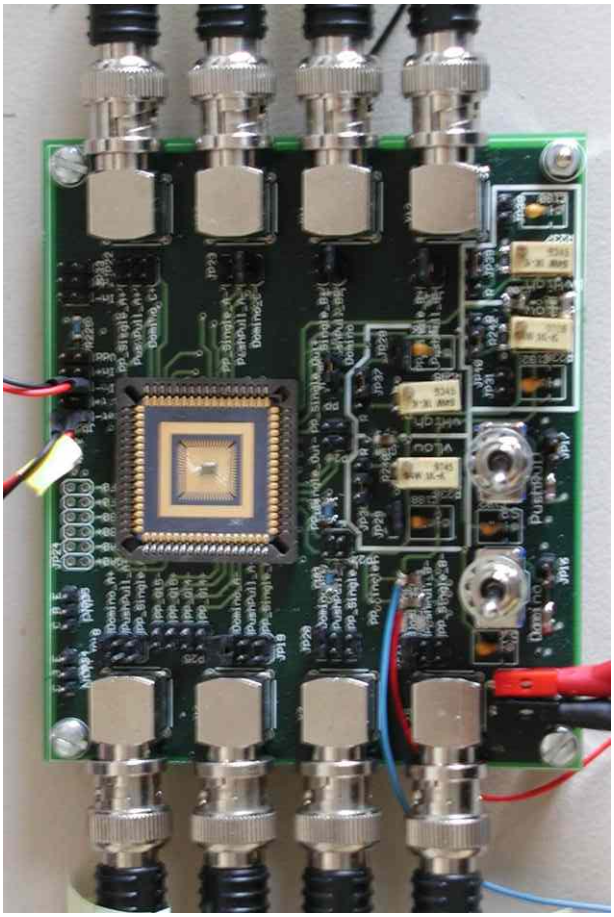

Abbildung 8.10: Versuchsplatine für den *ASIC*

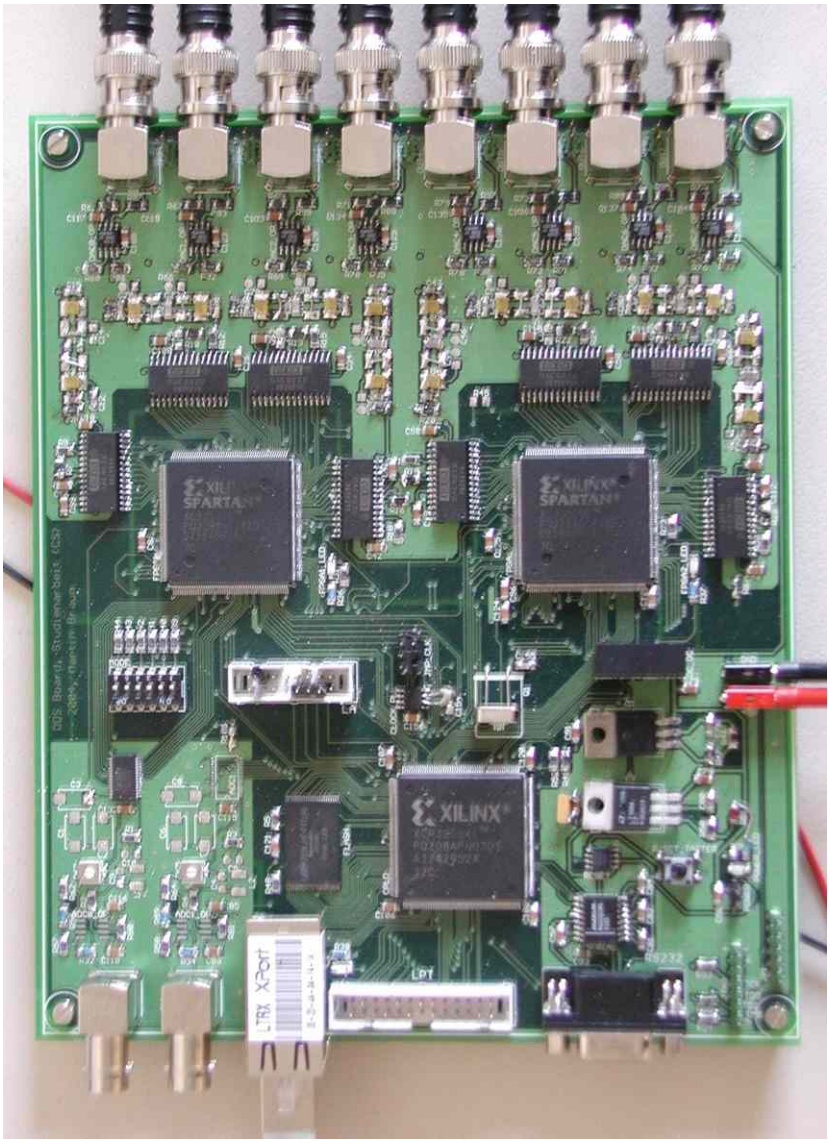

Abbildung 8.11: Signalgenerator für die Erzeugung der Leistungsphasen. Der Signalgenerator hat acht Digital/Analog-Konverter, die jeweils mit 150 MSamples/s arbeiten und auf diese Weise Leistungstakte mit bis zu 25 MHz erzeugen können (6 Samples je Zyklus).

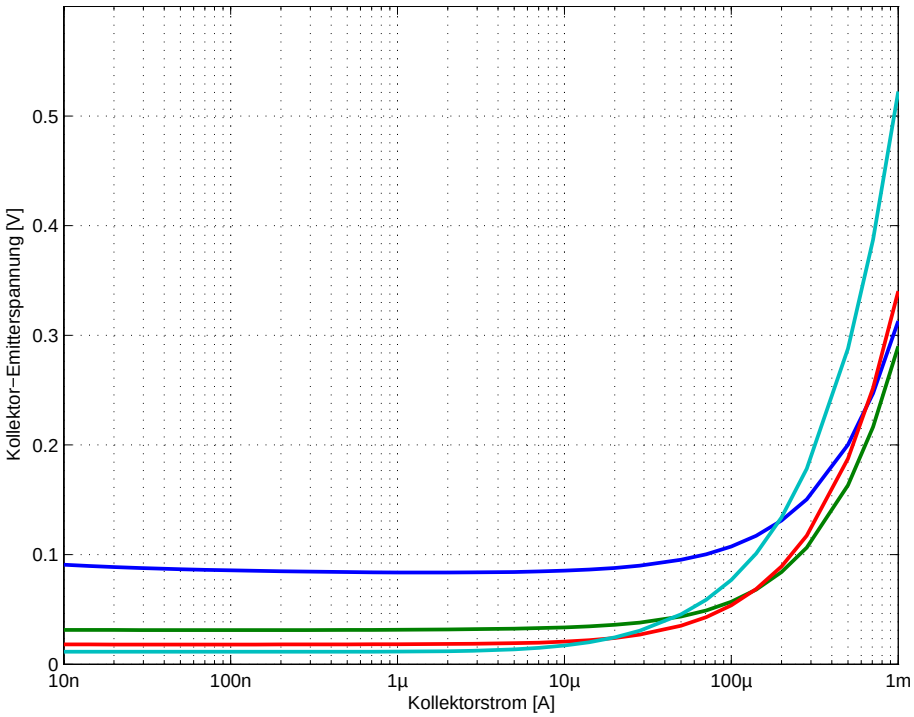

Abbildung 8.12: Flussspannung des *npn*-Transistors als Funktion von Basisstrom und Kollektorstrom. Die Kurven haben ein Basisstrom-Kollektorstromverhältnis von (von oben nach unten): $3,3\%$, 33%, 1 und $3,3$, d. h. für die unterste Kurve ist der Basisstrom größer als der Kollektorstrom.

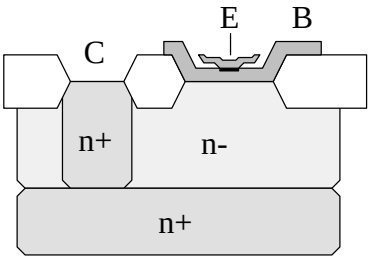

Abbildung 8.13: Schnitt durch einen vertikalen *npn*-Transistor

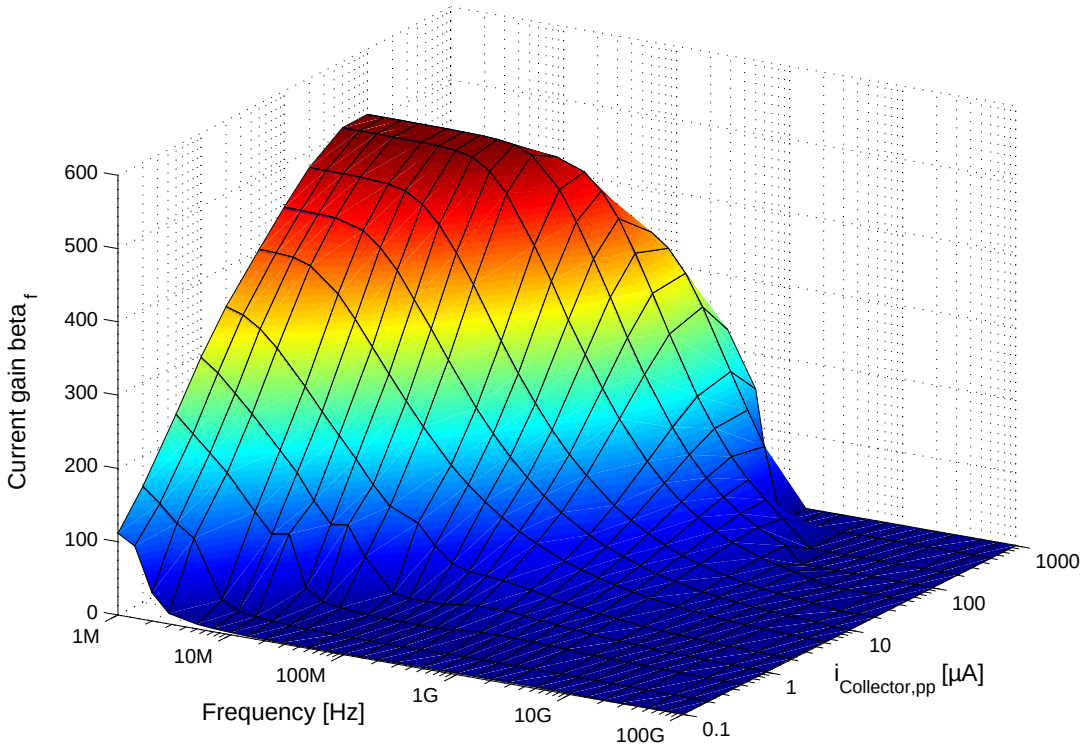

Abbildung 8.14: Verstärkung des vertikalen *npn*-Transistors als Funktion von Frequenz und Kollektorstromhub

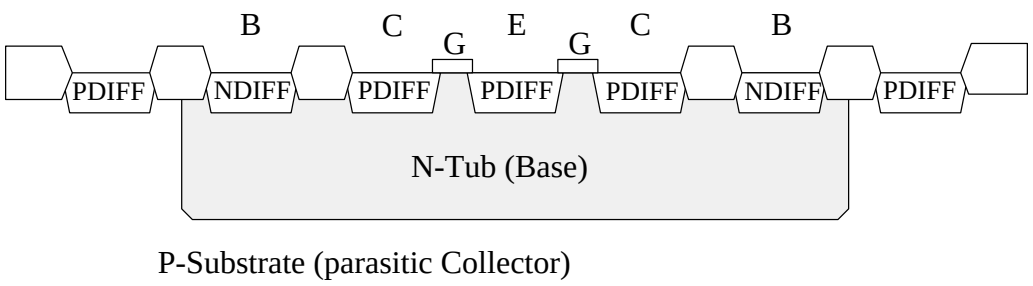

Abbildung 8.15: Schnitt durch einen lateralen *pnp*-Transistor

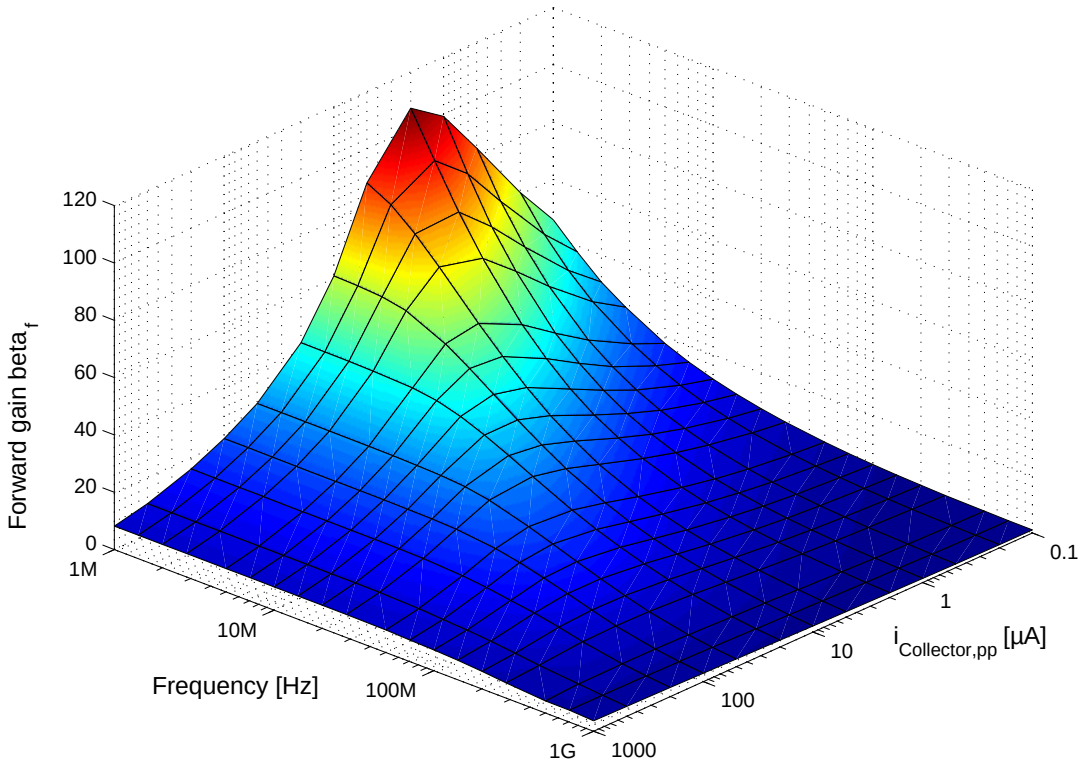

Abbildung 8.16: Verstärkung des lateralen *pnp*-Transistors als Funktion von Frequenz und Kollektorstromhub

8.4.2 Eigenschaften der verfügbaren MOSFETs

Die im AMS-Prozess verfügbaren *nMOS*- und *pMOS*-Transistoren sind klassische laterale *MOS*-Transistoren, wobei der *nMOSFET* direkt im *p*-Substrat hergestellt wird, während der *pMOSFET* in einer zusätzlichen *n*-Wanne hergestellt werden muss. Die minimale geometrische Länge und Breite sind $w_{min} = 0,4\,\mu$m, $l_{min} = 0,35\,\mu$m, was effektiv zu einer Kanallänge von $w_{eff} = 0,5\,\mu$m und einer Kanalbreite von $w_{eff} = 0,35\mu m$ führt. Die wichtigsten beiden Parameter der *MOSFET*s sind die Schwellspannung mit typisch $V_{th,n} = 0,5$V und $V_{th,p} = 0,7$V, und der Übertragungsleitwert mit typisch $K_n = 170\mu\text{A/V}^2$ bzw. $K_p = 58\,\mu\text{A/V}^2$.

Die aus diesen Paramtern entstehende Stromleitfähigkeit des Kanals ist als Funktion der *Gate-Drain*-Spannung und der *Drain-Source*-Spannung in Abbildung 8.17 für einen *nMOSFET* mit $w_n = 1\mu m$, $l_n = 0,35\,\mu$m dargestellt, ebenso in Abbildung 8.18 für einen *pMOSFET* mit den gleichen Abmessungen.

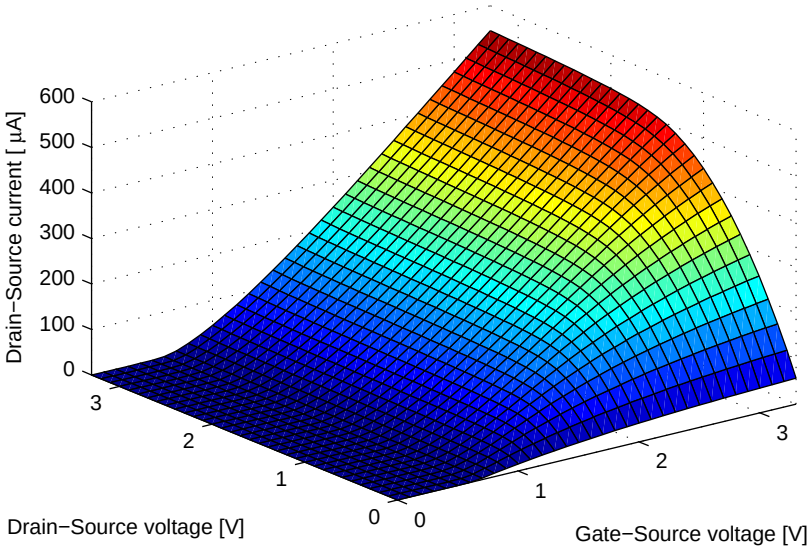

Abbildung 8.17: Kanalstrom eines *nMOSFETs* mit $l = 0,35\,\mu$m und $w = 1\,\mu$m

Aus den Kennlinien für den Kanalstrom lässt sich die Transkonduktanz (Übertragungssteilheit)

$$K = g(V_{DS}) = \left.\frac{\partial I_D}{\partial V_{GS}}\right|_{V_{DS}}$$

bestimmen. Die Transkonduktanz gibt die Änderung des Kanalstroms nach der Änderung der *Gate-Source*-Spannung an, wobei dies abhängig von der *Drain-Source*-Spannung ist. Für einen *nMOSFET* ist die Transkonduktanz K_n dargestellt in Abbildung 8.19.

Als Nächstes sind die Kurven zur Bestimmung der *Gate*-Kapazität in Abbildung 8.20 dargestellt. Die Kurven basieren auf der Simulation eines *nMOSFET*s mit $l = 0,35\,\mu$m und $w = 10\,\mu$m und eines *pMOSFET*s mit den gleichen Abmessungen. Sowohl der *nMOS*-

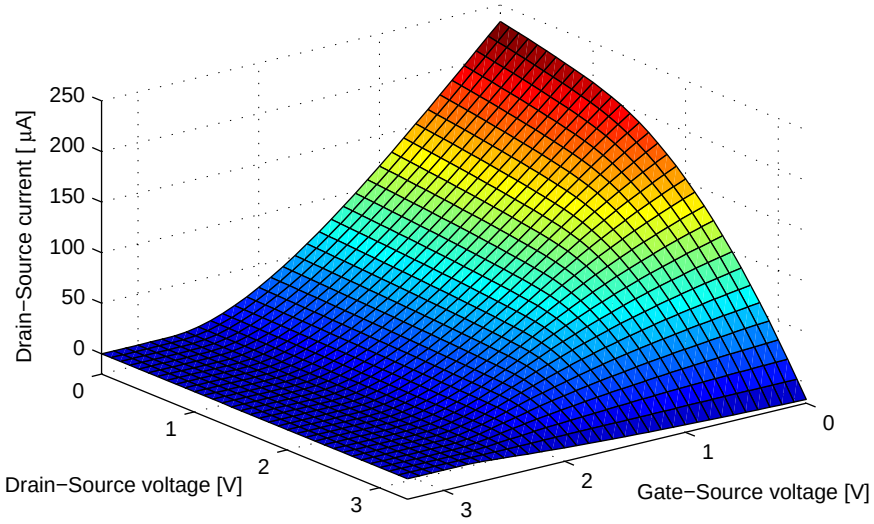

Abbildung 8.18: Kanalstrom eines *pMOSFETs* mit $l = 0,35\,\mu$m und $w = 1\,\mu$m

als auch der *pMOSFET* benötigen eine Ladung von rund 58 fC zum Aufladen des *Gates*. Daraus lässt sich eine mittlere Kapazität von $C_G = 58fC/(3,3V \cdot 10\,\mu\text{m}) \approx 1,8\,\text{fF}/1\,\mu\text{m}$ bestimmen.

Als Letztes sind die Lade- bzw. Entladekurven für die Bestimmung der *intrinsischen* Schaltzeit in Abbildung 8.21 dargestellt. Diese wird weitestgehend durch den Kanalleitwert und die *Gate*-Kapazität bestimmt, da der *MOS*-Transistor dabei eine Kapazität gleich seiner eigenen *Gate*-Kapazität umladen muss, entsprechend eignet sich dieser Wert sehr gut zum Vergleich verschiedener Transistoren oder verschiedener Halbleiterprozesse. Für einen *nMOSFET* lässt sich eine intrinsische Schaltzeit von 18 ns ablesen, für einen *pMOSFET* von 45 ns. Auffallend ist die deutlich längere Schaltzeit für den *pMOSFET*, die über die Verschlechterung um den Faktor 2,4 hinausgeht, wie sie aus der geringeren Ladungsträgerbeweglichkeit entstehen würde.

8.4.3 Eigenschaften der *Pass-Gates*

Neben den eigentlichen *MOSFET*s interessiert auch das Verhalten der daraus zusammengeschalteten *Pass-Gates*, insbesondere die Leitfähigkeit des so gebildeten Kanals und die Spannungsabhängigkeit des Leitwerts.

In Abbildung 8.22 ist der Leitwert als Funktion der mittleren Kanalspannung für ein *Pass-Gate* dargestellt. Die Kanalspannung ist dabei klein genug, damit die Spannungsdifferenz zwischen *Source* bzw. *Drain* und der mittleren Kanalspannung vernachlässigt werden kann. Hierbei sind die Kanalweiten des *nMOSFET* und des *pMOSFET* im Verhältnis 1 : 2 dimensioniert, das Diagramm ist normiert auf eine *nMOSFET*-Kanalweite von $W_n = 1\,\mu$m. Die Kurven entsprechen den *Gate*-Spannungen am *nMOSFET* (gemessen gegen Masse) von $V_{G,n} = 3,3$ V, $V_{G,n} = 3,0$ V, $V_{G,n} = 2,7$ V, $V_{G,n} = 2,4$ V, $V_{G,n} = 2,0$ V

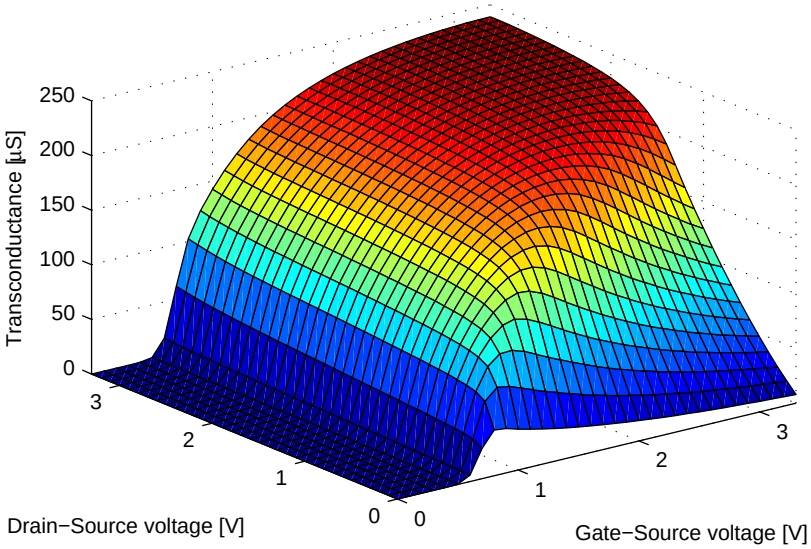

Abbildung 8.19: Übertragungssteilheit K_n eines *nMOSFET*s

sowie $V_{G,n} = 1,5\,\mathrm{V}$ (von oben nach unten). Die *Gate*-Spannung des *pMOSFET* ergibt sich zu $V_{G,p} = 3,3\,\mathrm{V} - V_{G,n}$.

Ergänzend ist die bereits in 2.5.5 vorgestellte Inverterkette aus *Pass-Gates* für diesen Prozess simuliert. In Abbildung 8.23 ist die Spannungsdifferenz über das *Pass-Gate* dargestellt. Es ist gut zu erkennen, dass das *Pass-Gate* für Frequenzen bis in den Gigahertzbereich hinein betrieben werden kann. Sollen jedoch die Verluste gering bleiben, begrenzt sich der nutzbare Frequenzbereich auf maximal einige hundert Megahertz.

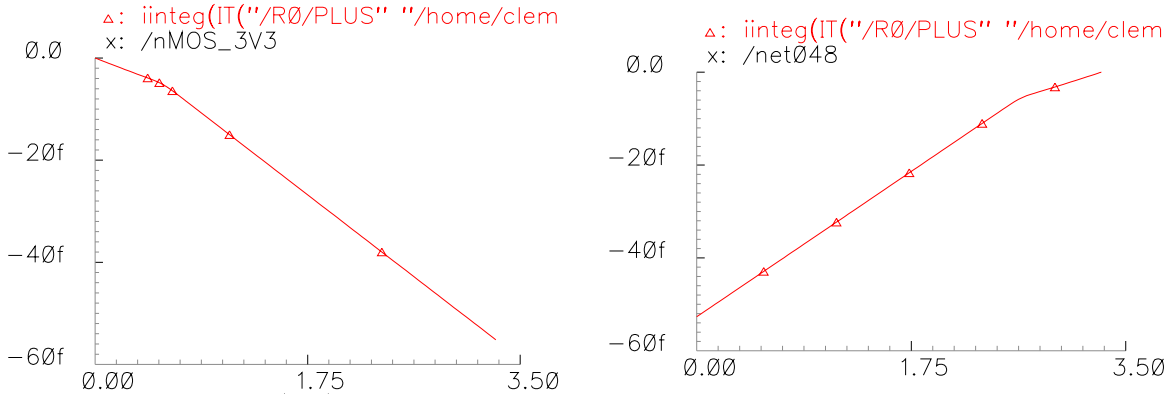

Abbildung 8.20: Ladungsverlauf zur Bestimmung der *Gate*-Kapazität eines *nMOSFET*s (links) bzw. *pMOSFET*s (rechts) mit $l = 0,35\,\mu\mathrm{m}$ und $w = 10\,\mu\mathrm{m}$

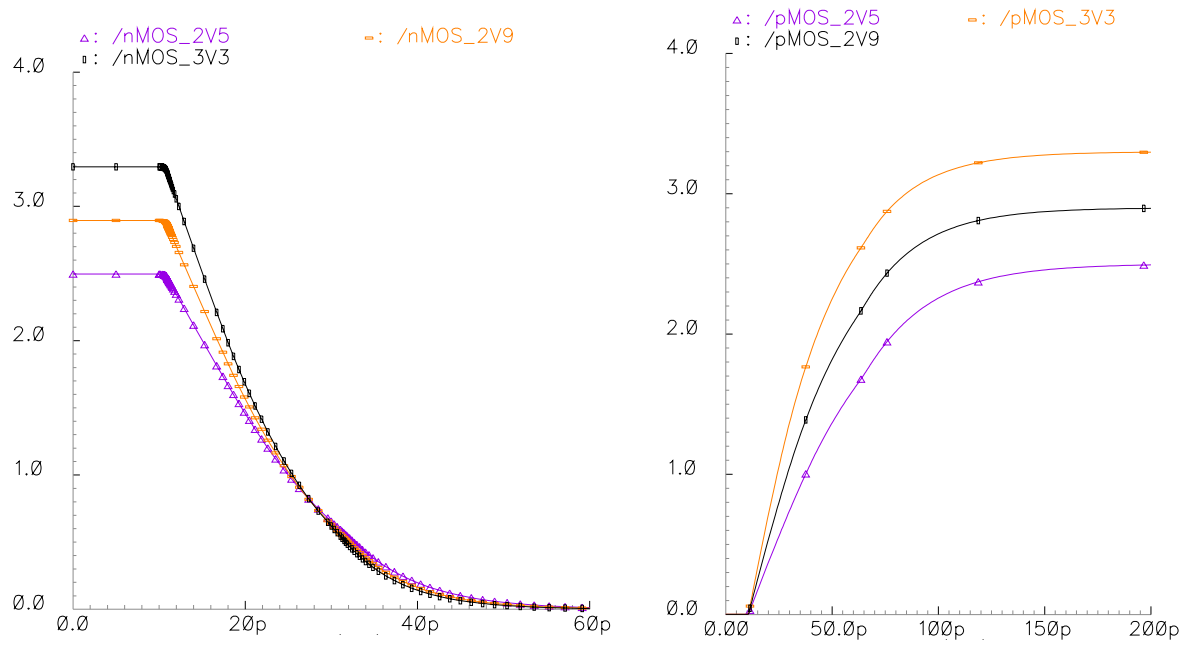

Abbildung 8.21: Spannungsverlauf zur Bestimmung der intrinsischen Schaltzeit eines *nMOSFET*s (links) bzw. *pMOSFET*s (rechts)

8.5 Zusammenfassung

Der Versuchsbetrieb des *ASIC*s erwies sich als erfolgreich. Da der *ASIC* teilweise außerhalb der Spezifikationen des Prozesses (zulässige Sperrspannung der Basis-Emitterdiode der Bipolartransistoren) arbeitet, ist dieses ein sehr positives Ergebnis. Es zeigte sich, dass der Domino-Logik-Teil etwa bis $2,5$ V betrieben werden kann. Dies entspricht den Spezifikationen des Prozesses. Die maximale Kollektor-Emitter-Spannung liegt danach bei $V_{CE,max} = 2,2$ V. Ebenso entsprechen die Messwerte für die Leistungsaufnahme des Domino-Logik-Teils den Simulationswerten bei $V_{dd} = 2$ V ist am *ASIC* eine Stromaufnahme über eine Leistungsphase von $\Phi_C = 240\,\mu$A messbar, in der Simulation ergeben sich bei gleichen Bedingungen $\Phi_C = 250\,\mu$A.

Analysiert man das Layout des *biQSERL*-Inverters, so fällt die große Fläche auf, die der lateral-*pnp*-Transistor benötigt. Zudem fallen die Kondensatoren auf: Sie bilden zur Hälfte die simulierte Last. Die kleineren der Kondensatoren sind die Basiskondensatoren, sie haben je 50 fF. Die große Kapazität ist notwendig, um die schlechteren Eigenschaften des *pnp*-Transistors auszugleichen.

Aus technologischer Sicht ist für adiabatische Schaltungen der Leitwert von Pass-Gates sehr interessant, insbesondere im Bereich der halben Kanalspannung, dies ist in Abbildung 8.23 dargestellt. In diesem Bereich tritt bei einem sinusförmigen Spannungsverlauf die größte Spannungsänderung an der Quelle und damit bei kapazitiven Lasten der größte Strom auf. Aus diesem Diagramm kann entnommen werden, dass ein Betrieb der Schaltung mit weniger als etwa $2,7$ V (dritte Kurve von oben in Abbildung 8.22) nicht mehr sinnvoll ist, da dann die Leitfähigkeit der *Pass-Gates* deutlich einbricht.

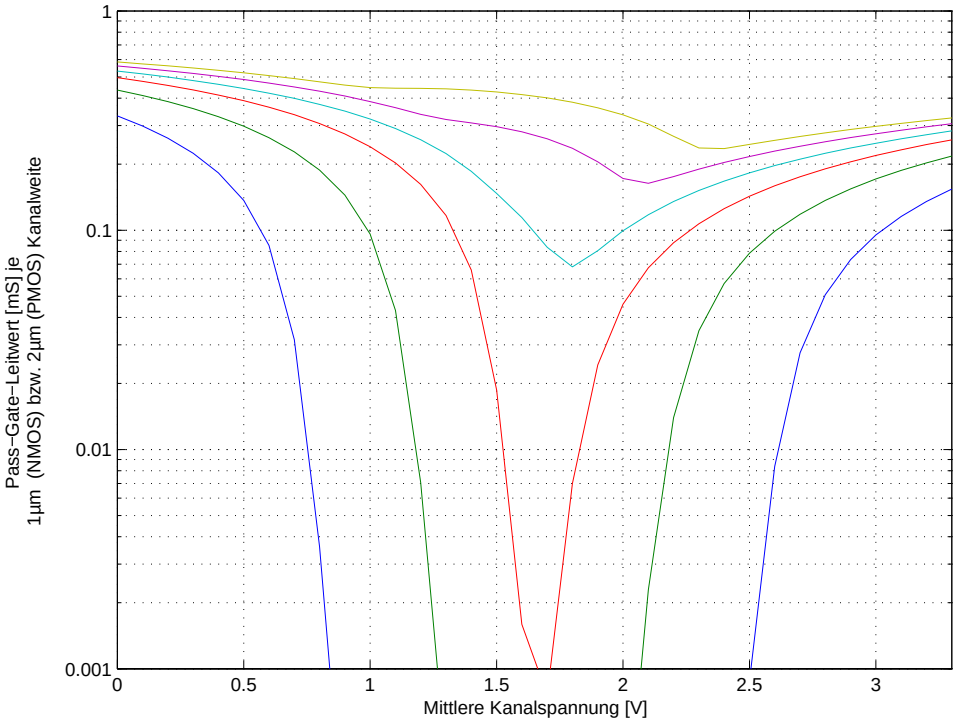

Abbildung 8.22: Kanalleitwert eines *Pass-Gates* mit $W_n = 1\,\mu$m und $W_p = 2\,\mu$m. Die Beträge der *Gate*-Spannungen bezogen auf Masse bzw. die Versorgungsspannung sind (von oben nach unten) $3,3$ V, $3,0$ V, $2,7$ V, $2,4$ V, $2,0$ V und $1,5$ V.

Ein anderer wichtiger Parameter ist der nutzbare Frequenzbereich. Hierzu wurde im Abschnitt 2.5.5 die Simulation einer Inverterkette als selbstbelastende Schaltung vorgestellt. Begrenzt man die zulässige Spannungsdifferenz über ein Pass-Gate (Energiebudget), so ergibt sich daraus der verwendbare Frequenzbereich. Dies ist in Abbildung 8.23 (Spannungsdifferenz über ein Pass-Gate als Funktion der Frequenz) dargestellt. Lässt man z. B. einen Verlust von 3% über die Pass-Gates zu, so entspricht dies bei einer Versorgungsspannung von $V_{dd} = 3,3$ V einer Spannungsdifferenz von $V_{drop} = 0,1$ V. Aus dem Diagramm ergibt sich, dass dieser Punkt etwa bei einer Frequenz von $f = 100$ MHz erreicht ist, allerdings ohne weitere kapazitive Last. In einer normalen Logikschaltung treibt jedoch jeder Ausgang in der Regel mehrere Eingänge, sodass die Frequenz eher kleiner gewählt werden wird.

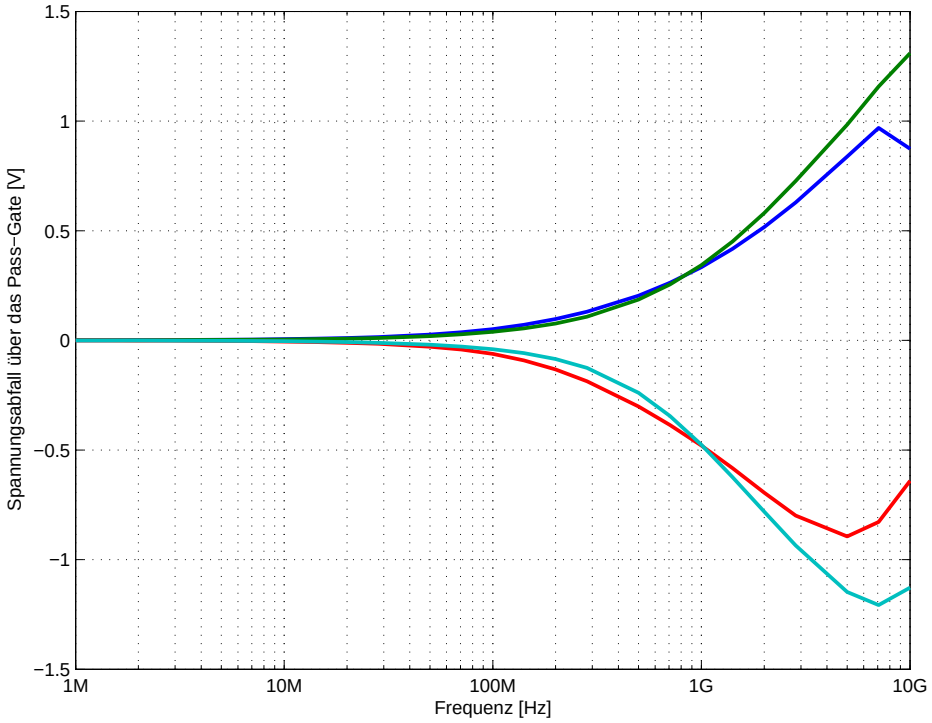

Abbildung 8.23: Spannungsdifferenz über ein *Pass-Gate* in der Inverterkette, die äußeren Kurven verwenden eine Versorgungsspannung von $V_{dd} = 3,3\,\mathrm{V}$, die inneren eine Versorgungsspannung von $V_{dd} = 2,5\,\mathrm{V}$. Die oberen Kurven spiegeln den Ladezyklus wieder, die unteren den Entladezyklus.

Kapitel 9

Einbindung in den Entwurfsablauf von *CMOS*-Schaltkreisen

Neben der Verwendung als eigenständige Logikfamilie liegt die Stärke von *biQSERL*-Logik in der Kombinierbarkeit mit *CMOS*-Logik. Aufgrund der kompatiblen Pegel kann für jedes Gatter oder Netz getrennt entschieden werden, ob der Einsatz von *biQSERL*-Logik lohnt. Eine besonders attraktive Möglichkeit ist der Einsatz von *biQSERL*-Logikstufen als Ausgangstreiber in Netzen mit großer kapazitiver Last, da hier das Aufwand/Nutzenverhältnis der *biQSERL*-Stufen besonders günstig ist. Dies wird durch den Effekt verstärkt, dass Netze mit großer Kapazität auch mit *CMOS*-Treibern größere Schaltzeiten benötigen, selbst wenn zusätzliche Treiberstufen eingesetzt werden.

In Diagramm 9.1 [20] ist ein Beispiel für die Verteilung der Netzanzahl über die Netzlänge dargestellt.

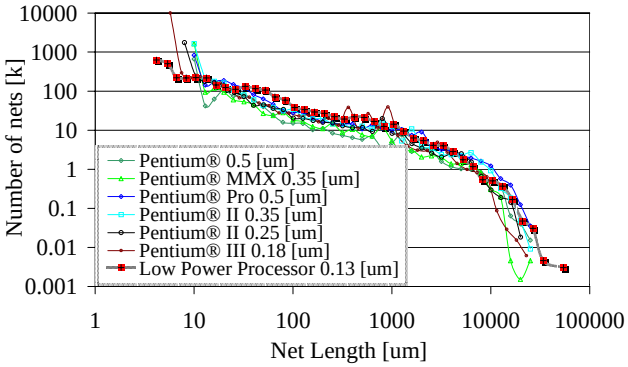

Abbildung 9.1: Beispiel für die Verteilung der Netzanzahl über die Netzlänge

Es ist gut zu erkennen, dass sich die Netzanzahl logarithmisch zur Netzlänge entwickelt, je größer die Netzlänge, desto geringer die Anzahl an Netzen. Von daher ist es sehr interessant, eine Ladungswiedergewinnungsstruktur mit einem möglichst geringen zusätzlichen Aufwand zur Verfügung zu stellen.

9.1 Kopplung adiabatischer Gatter mit *CMOS*-Gattern

Einer der wesentlichen Vorteile statischer adiabatischer Logik ist die Kompatibilität der Ausgangspegel zu *CMOS*-Pegeln. Dies ermöglicht ein beliebiges Mischen von adaibatischen Gattern mit *CMOS*-Gattern. Dennoch tritt auch hierbei ein Problem auf: die Flankensteilheit der Ausgänge der adiabatischen Gatter. Die Flankensteilheit bei adiabatischen Gattern ist, bedingt durch das Umladen mit Resonanzkreisen, in jedem Fall deutlich niedriger als bei einem *CMOS*-Gatter.

Bei *CMOS*-Logik ist jedoch wie bei den meisten Logikfamilien an den Eingängen nur ein Teil des Versorgungsspannungsbereichs als statische Pegel erlaubt, typisch ist der Bereich 0..33% der Versorgungsspannung für logisch '0' und 66..100% der Versorgungsspannung für logisch '1'. Bei dem in den vorigen Kapiteln dargestellten Prozess von AUSTRIAMICROSYSTEMS ist dies sogar nur der Bereich 0..20% der Versorgungsspannung für logisch '0' und 80..100% der Versorgungsspannung für logisch '1'. Der Spannungsbereich zwischen logisch '0' und logisch '1' sollte so schnell wie möglich durchlaufen werden, da hier ein unerwünschter Strom zwischen dem n- und dem p-Teil des Gatters auftreten kann. Dieser Strom kann entstehen, da in diesem Eingangsspannungsbereich sowohl Transistoren im n- wie im p-Teil des Gatters leiten. Als Alternative können Transistoren mit größeren Schwellspannungen verwendet werden. Hierdurch verkleinert sich der Eingangsspannungsbereich, in dem sowohl n- wie auch p-*MOSFET*s leiten.

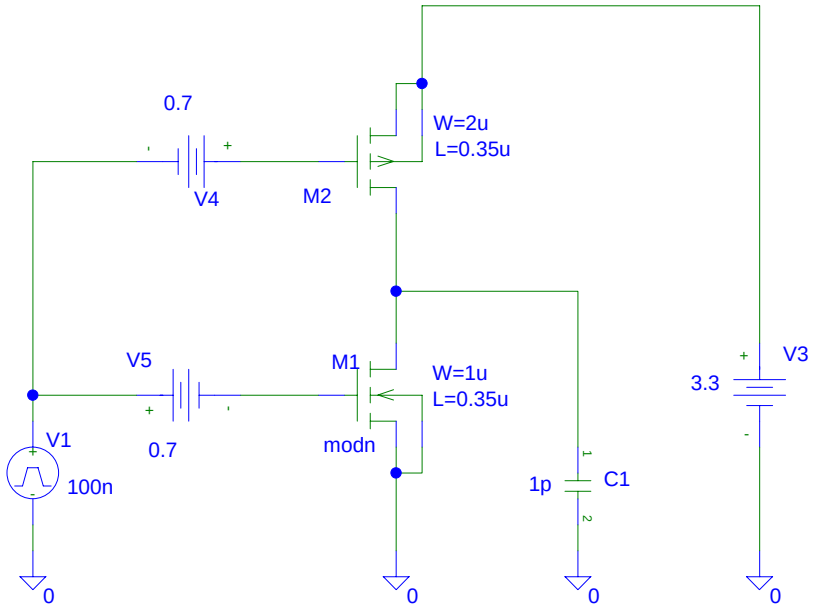

Abbildung 9.2: Simulationsschaltung für den Einfluss der Schwellspannungen der *MOSFET*s auf den Ladungsumsatz bei Umschaltvorgängen

Um dies zu untersuchen, wird die Schaltung in Abbildung 9.2 verwendet. Die beiden *MOSFET*s bilden einen Inverter, der eine Lastkapazität auflädt. Durch die Verwendung einer

Pulsspannungsquelle ist auch die Flankensteilheit bei Pegelwechseln am Eingang einstellbar. Mittels der Spannungsquellen V_4 und V_5 können zusätzlich die Schwellspannungen der *MOSFET*s verändert werden. In der Simulation wird die der Spannungsquelle V_3 für eine Umladevorgang von C_1 entnommene Ladung ermittelt und auf die in der Lastkapazität C_1 gespeicherte Ladung normiert. Die Schaltzeit ist wie gewöhnlich als Anstiegszeit von 10% auf 90% der Versorgungsspannung gemessen.

Zusätzliche Schwellspannung	Schaltzeit	relativer Ladungsbedarf	Schaltzeit
$0,0\,\mathrm{V}$	$7,5\,\mathrm{ns}$	$1,001$	$t_{fall,in} = 100\,\mathrm{ps}$
$1,0\,\mathrm{V}$	$12,5\,\mathrm{ns}$	$1,001$	
$0,0\,\mathrm{V}$	$29,0\,\mathrm{ns}$	$2,156$	$t_{fall,in} = 100\,\mathrm{ns}$
$0,2\,\mathrm{V}$	$27,2\,\mathrm{ns}$	$1,712$	
$0,4\,\mathrm{V}$	$26,2\,\mathrm{ns}$	$1,393$	
$0,6\,\mathrm{V}$	$26,6\,\mathrm{ns}$	$1,185$	
$0,7\,\mathrm{V}$	$27,0\,\mathrm{ns}$	$1,116$	
$0,8\,\mathrm{V}$	$28,8\,\mathrm{ns}$	$1,066$	
$0,9\,\mathrm{V}$	$29,7\,\mathrm{ns}$	$1,033$	
$1,0\,\mathrm{V}$	$30,7\,\mathrm{ns}$	$1,014$	

Tabelle 9.1: Einfluss der Schwellspannung auf Schaltzeit und der Quelle entnommener Ladung. Die Ladung ist dabei normiert auf die in der Lastkapazität gespeicherte Ladung.

Die Messwerte in den ersten beiden Tabellenzeilen beziehen sich auf Messungen mit Pegelwechseln am Eingang des Inverters mit vernachlässigbarer Schaltzeit. Es ist deutlich zu sehen, dass fast die gesamte von der Quelle gelieferte Ladung in den Kondensator fließt, ein Querstrom zwischen dem *n*- und dem *p-MOSFET* tritt näherungsweise nicht auf. Ebenfalls ist zu sehen, dass bei höheren Schwellspannungen die Schaltzeit steigt. Dies ist auch zu erwarten, da durch die größere Schwellspannung der Kanal des *pMOSFET*s nicht mehr so weit aufgesteuert wird und sich entsprechend der Ladestrom in den Kondensator verringert.

Im zweiten Teil der Tabelle ist die gleiche Simulation mit einem verlangsamten Pegelwechsel am Eingang des *CMOS*-Inverter dargestellt. Es ist deutlich zu sehen, dass bei den in der Technologie vorgesehenen Schwellspannungen ein deutlicher Querstrom auftritt, die der Spannungsquelle entnommene Ladung verdoppelt sich. Werden die Schwellspannungen der Transistoren vergrößert, so verringert sich der Querstrom zwischen den Transistoren und die der Spannungsquelle entnommene Ladung ist nur wenig größer als die minimal zum Aufladen des Kondensators benötigte Ladungsmenge.

Die Anstiegszeit (Schaltzeit) an der Lastkapazität ändert sich dabei kaum, sie ist in jedem Fall deutlich kleiner als die Anstiegszeit am Eingang des Inverters. Dies zeigt, dass die Verwendung einer *CMOS*-Gatterstufe mit Transistoren mit größeren Schwellspannungen ein einfacher und effizienter Ansatz zur Kopplung von adiabatischen Gattern mit *CMOS*-Gattern ist.

9.2 Einsatz als Ausgangstreiber

Soll mittels eines *QSERL*- oder *biQSERL*-Gatters eine umfangreichere logische Funktion realisiert werden, so müssen beide logischen Verknüpfungsnetzwerke – sowohl das zum Laden des Ausgangs wie auch das zum Entladen des Ausgangs – als *Pass-Gate*-Strukturen realisiert werden. Dies bedeutet nicht nur in der Anzahl der Transistoren einen erheblichen Mehraufwand, auch die Kanalweiten müssen deutlich größer gewählt werden, um bei Reihenschaltung mehrerer *Pass-Gates* auf die gleiche *RC*-Konstante zu kommen wie bei einem einzelnen *Pass-Gate*. Gerade bei größeren kapazitiven Lasten ist das unattraktiv.

Als Alternative bietet sich an, ein konventionelles *CMOS*-Gatter vorzuschalten und mit dem Ausgang dieses Gatters die *biQSERL*-Stufe anzusteuern. Damit wird die Zahl an *Pass-Gates* innerhalb der *biQSERL*-Stufe minimiert. Dafür entsteht allerdings eine zusätzliche Verlustleistung für das *CMOS*-Gatter. Gerade bei größeren Lasten ist dies trotzdem von Vorteil, da das *CMOS*-Gatter auf minimale Kanalweite dimensioniert werden kann, sodass die Leistungsaufnahme des zusätzlichen *CMOS*-Gatters im Verhältnis zur Leistungsersparnis durch den Wegfall von *Pass-Gates* aus dem *biQSERL*-Gatter geringer ist. Zudem reduziert dies deutlich den Flächenbedarf. Ein mögliches Layout ist in Abbildung 9.3 dargestellt.

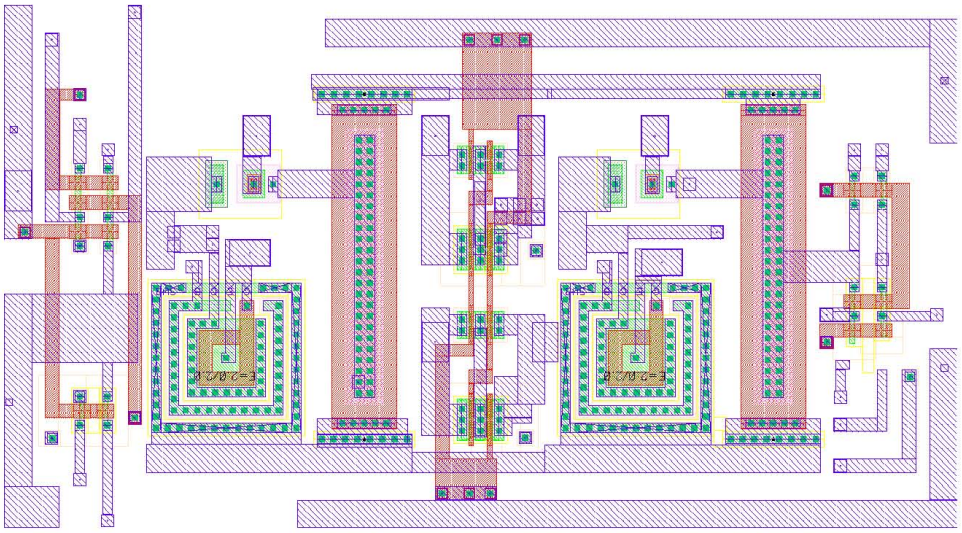

Abbildung 9.3: Layout einer Ausgangstreiberstufe

9.3 Einbindung in den Entwurfsablauf

Bei der Entwicklung von komplexeren Digital-*IC*s wird im Regelfall das Layout in einem mehrstufigen Prozess erzeugt (zum Beispiel [39], [31]). Als Basis dient eine bereits simulierte und getestete Netzliste. Diese wird üblicherweise aus einer Hochsprachenbeschreibung heraus generiert.

1. Im ersten Schritt werden einzelne Module unabhängig voneinander erzeugt. Dabei kann das Layout entweder aus Standard-Bibliothekselementen zusammengesetzt sein oder manuell erstellt werden, wobei die manuelle Erstellung in der Regel aufgrund des Aufwands nur bei kritischen Teilen angewandt wird. Schließlich werden die Verbindungsstrukturen innerhalb der Module erzeugt.

2. Danach können die so gewonnenen Module platziert werden, zusammen mit den kritischen Pins oder Pads, dies sind die Versorgungsspannungen, Takt, Datenbusse und andere Signale, die speziellen Anforderungen genügen müssen. Zuletzt werden die noch nicht in den Modulen enthaltene Logik und sonstige Funktionen sowie die verbliebenen Pins oder Pads hinzugefügt. Anschließend kann noch versucht werden, die Fläche des entstehenden Chips durch geschicktes Anordnen der Elemente zu reduzieren (*Floorplanning*).

3. Sind diese Schritte abgeschlossen, können die kritischen Verbindungen verlegt werden. Dies sind die Versorgungsspannungen, Takt, Datenbusse und andere Signale mit hohen Anforderungen an die Verlegung. Danach können die übrigen Verbindungen verlegt werden. Gegebenenfalls reicht der zur Verlegung von Signalen verfügbare Platz nicht aus, dann muss die Anordnung der Komponenten verändert und der Verlegungsprozess wiederholt werden. Sind alle diese Schritte abgeschlossen, kann aus dem fertigen Layout eine neue Netzliste extrahiert werden, die auch parasitäre Effekte enthält wie kapazitive Kopplung zwischen Leitungen oder zwischen Leitungen und der Versorgungsspannung. Mit dieser Netzliste kann anhand von Regeln und teilweise auch Simulationen überprüft werden, ob die Designvorgaben eingehalten sind.

4. Wenn diese Vorgaben nicht eingehalten oder Fehlfunktionen nicht auszuschließen sind, so müssen Verbindungen neu verlegt werden, Abstände zwischen Leitungen vergrößert werden oder möglicherweise sogar Komponenten neu angeordnet werden, was fast eine komplette Neuerstellung erfordert.

Sind alle diese Schritte erfolgreich abgeschlossen, so kann aus dem Layout ein Chip gefertigt werden.

Soll nun *biQSERL*-Logik als Ausgangsstufe eingefügt werden, so müssen in den Entwurfsablauf zusätzliche Schritte eingefügt werden. Diese sind:

- *Abschätzung der Schaltaktivität:* Für jedes Netz wird mittels Simulation der Schaltung die Schaltaktivität ermittelt. Für Ladungswiedergewinnung sind nur Netze mit hoher Schaltaktivität interessant.

- *Abschätzung der Netzkapazität:* Nach einem ersten Platzierungszyklus kann für jedes Netz die Kapazität abgeschätzt werden. Es sind die Netze mit größerer Kapazität interessant.

- *Vergleich mit Vorgaben:* Von den durch die vorhergehenden Selektionsschritte bestimmten Netzen wird überprüft, ob diese zum Beispiel zu zeitkritischen Pfaden oder

Ähnlichem (zum Beispiel Taktnetzwerk) gehören und daher besser mit minimaler Schaltverzögerung, d. h. als *CMOS*-Struktur, realisiert werden sollten.

- *Verdrahtung:* Die *biQSERL*-Stufen müssen in das platzierte Layout eingefügt werden. Hierzu ist eine Verschiebung der bereits platzierten Zellen anstelle einer Neuplatzierung sinnvoll, um den erforderlichen Platz zu schaffen. Zudem vermeidet eine reine Verschiebung zu große Abweichungen von den bereits ermittelten Werten und damit die Notwendigkeit einer Neuberechnung der Netzkapazitäten, wie sie bei einer vollständigen Neuplatzierung auftreten können. Danach kann das Layout verdrahtet werden.

- *Feinabstimmung:* Aus dem verdrahteten Layout können die exakten Netzkapazitäten extrahiert werden und damit die Steuerkapazitäten (Basiskapazitäten) in den *biQSERL*-Stufen auf die optimalen Werte eingestellt werden.

In vielen Fällen wird der Entwurf in zwei oder noch mehr Schritten ausgeführt, in denen zuerst Module gebildet werden. Diese Module werden platziert und verdrahtet, danach werden aus diesen Modulen größere Module erzeugt und so weiter. In diesem Fall werden die oben beschriebenen Erweiterungen entsprechend für jede einzelne Ebene durchlaufen.

Zusätzlich müssen noch die Zellen für die Taktgenerierung ergänzt werden. Wird ein hierarchischer Entwurfsablauf verwendet, d. h., dass zuerst Module erzeugt werden und danach aus diesen Modulen das vollständige Layout aufgebaut wird so muss dieser Zyklus auf beiden Ebenen durchgeführt werden. Einen besonderen Fall stellen Ausgangstreiber von Modulen dar, da zum Zeitpunkt der Platzierung die tatsächliche Last noch nicht bekannt ist. Dies kann umgangen werden, indem nur normale Stufen als Ausgänge verwendet werden und die erforderlichen Treiber im zweiten Schritt, der Verdrahtung des gesamten Chips, eingefügt werden.

Als weitere Optimierung kann natürlich auch eine doppelte *biQSERL*-Stufe realisiert werden, die erste als Gatter für die logische Funktion mit minimalen Kanalweiten, die zweite ausschließlich als Pufferstufe bzw. als Leistungstreiber. Da *biQSERL* ein sehr dichtes Taktschema verwenden kann, reicht zwischen beiden Stufen ein Phasenversatz von 90°.

9.4 Einsatz als *Pad*-Treiber

Neben der Verwendung von *biQSERL*-Stufen als Leitungstreiber für die *on-chip*-Verbindungen ist ebenfalls die Verwendung als Ausgangstreiber für die Schnittstelle zu anderen Bauteilen einer Schaltung interessant (Pad-Treiber). Hierfür sprechen im Vergleich zu einer *CMOS*-Implementierung folgende Gründe:

- *Größerer Spannungshub:* In vielen Fällen wird eine gegenüber der Kernspannung höhere Versorgungsspannung für die Ein- und Ausgänge zur Verbesserung der Störsicherheit verwendet, wodurch der Nutzen der Ladungswiedergewinnung deutlich steigt

- *Niedrigere Takte:* Der erreichbare Wirkungsgrad von Schaltungen zur Ladungswiedergewinnung hängt stark von der erforderlichen Umladegeschwindigkeit ab, wie in den vorangegangenen Kapiteln bereits ausführlich dargestellt.
- *Große kapazitive Last:* Verbindungen zwischen Bauelementen weisen im Regelfall aufgrund der deutlich größeren geometrischen Abmessungen eine deutlich größere kapazitive Last auf als Verbindungen innerhalb eines Chips. Dies führt zu entsprechend größeren Einsparungen an der gesamten Leistungsaufnahme

Die erforderlichen Zellen können dabei bequem als fertige Module (Standardzellen) anstelle der normalerweise verwendeten Bibliothekszellen eingesetzt werden, weisen allerdings größere Abmessungen auf.

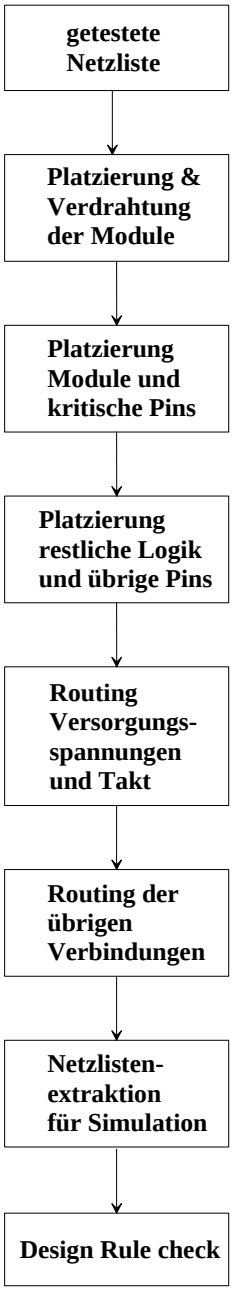

Abbildung 9.4: Entwurfsablauf für einen Standardentwurf

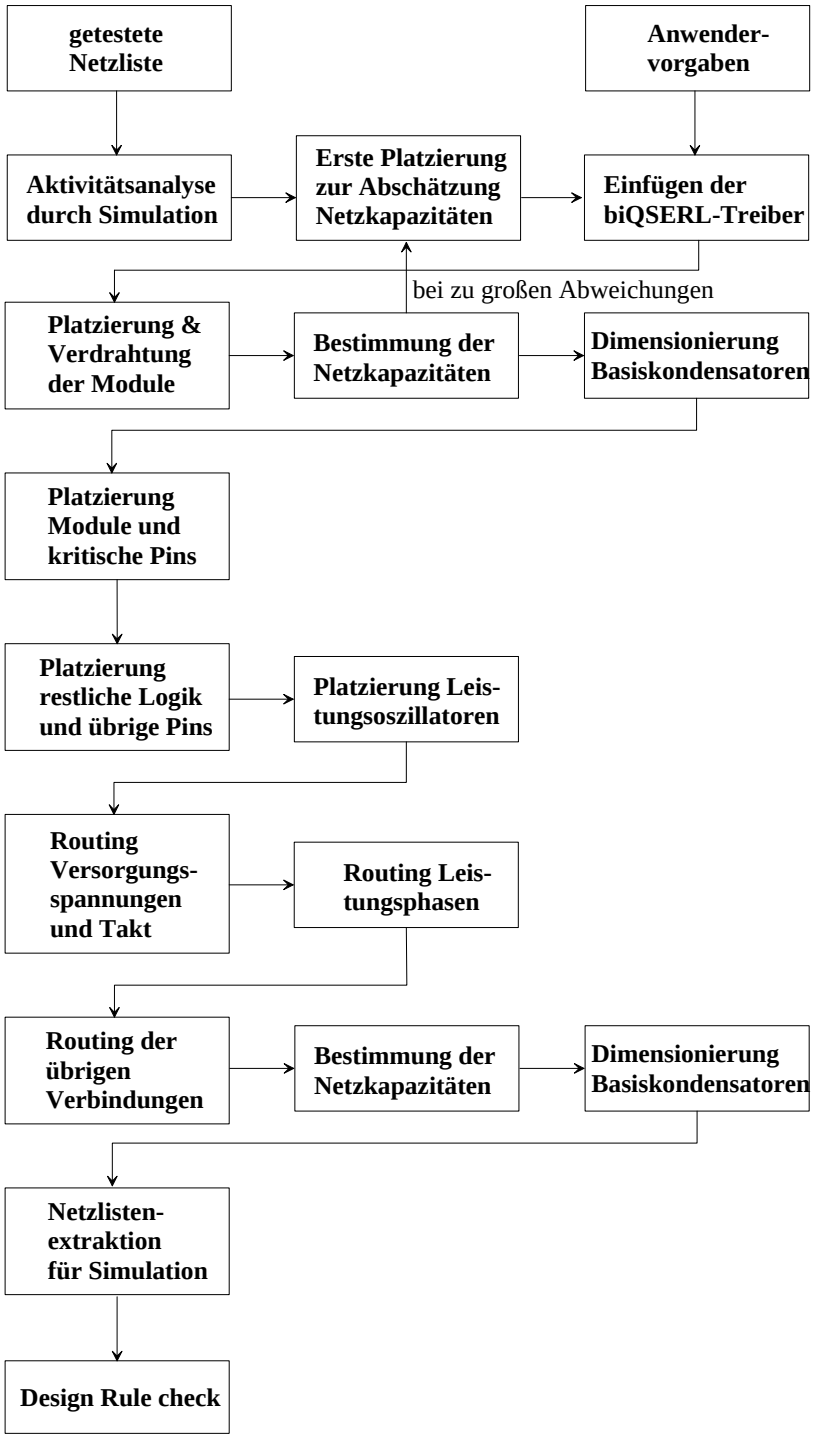

Abbildung 9.5: Erweiterter Entwurfsablauf Einbindung von *biQSERL*-Treibern

Kapitel 10

Zusammenfassung und Ausblick

10.1 Zusammenfassung

Es wurde dargestellt, wie der Ansatz der verlustfreien Informationsverarbeitung sowie die physikalische Problematik des verlustbehafteten Löschens von Information auf schaltungstechnischer Ebene ihre Entsprechung findet. Ebenso wurde die daraus resultierende Konsequenz dargestellt, dass nicht-reversible Schaltungen zwingend einen Leistungsverbrauch haben.

Im Rahmen der Arbeit wurde das bipolartransistor-basierte Diodenelement eingeführt, sowie eine Beschaltung und Dimensionierung für einen zuverlässigen und effektiven Betrieb dargestellt. Hierbei konnte gezeigt werden, dass sich mit diesem Diodenelement Flussspannungen bis teilweise unter $100mV$ realisieren lassen, auch bei Frequenzen im hohen Megahertz-Bereich. Ferner konnte gezeigt werden, dass dieses Element problemlos integrierbar und robust im Betrieb ist, insbesondere dass es trotz der Verwendung von Bipolartransistoren über einen weiten Frequenzbereich ohne Änderungen an der Verschaltung nutzbar ist.

Weiterhin wurde die Einbindung in die adiabatische Logikfamilie *QSERL* bzw. *CAMOS* vorgestellt. Diese Einbindung erlaubt den Aufbau statischer adiabatischer Logikgatter, die direkt mit konventionellen *CMOS*-Gattern verschaltet werden können. Für die so entstandenen Gatter wurde dementsprechend der Name *biQSERL*-Gatter gewählt.

Es konnte weiter gezeigt werden, dass sich mit der erweiterten Struktur eines *biQSERL*-Inverters ein Systemwirkungsgrad von an die 90% erreichen lässt, bei vollem Spannungshub. Dieser Wirkungsgrad ist deutlich besser als der mit Siliziumdioden erreichbare Wirkungsgrad, da hierin *alle* Verluste berücksichtigt werden, insbesondere auch die Verluste durch die *Pass-Gates*. Zudem wird der dargestellte Wirkungsgrad gemessen als Aufladeund Entladewirkungsgrad, Verluste gehen folglich doppelt ein.

Eine weitere Stärke gegenüber vielen dynamischen adiabatischen Logikfamilien ist die Unabhängigkeit des Wirkungsgrads von der Schaltaktivität, mit Ausnahme von Leckströmen. Gleichzeitig erlauben die statischen Ausgangspegel eine Mischbarkeit mit *CMOS* auf Gatterebene, das heißt *biQSERL* und *CMOS*-Gatter können beliebig gemischt werden.

Die kapazitive Erzeugung der Basisströme der Bipolartransistoren als Kernstück des Konzeptes kann in zweifacher Hinsicht als optimal angesehen werden: Kapazitäten sind gut integrierbar, außerdem kann die Flankensteilheit des Leistungstakts nahezu frei gewählt werden, selbst im Betrieb.

Weiterhin wurde eine Modellierung vorgeschlagen, die einen handhabbaren Weg zur Abschätzung des Wirkungsgrads ohne Simulation auf Schaltungsebene ermöglicht. Als letztes wurde dargestellt, wie sich *biQSERL*-Stufen als Leistungstreiber in den Entwurfsablauf von digitalen integrierten Schaltkreisen einbetten lassen, um Netze mit hoher kapazitiver Last mit einer Ladungswiedergewinnung auszustatten.

10.2 Ausblick

Der Schwerpunkt dieser Arbeit liegt auf der Konzipierung des Diodenelements und der *biQSERL*-Gatter. Dabei wurde bewusst auf Detailoptimierungen wie Transistordimensionierungen zugunsten einer breiteren Untersuchung der Eigenschaften verzichtet.

Für weitere Optimierungen bieten sich drei Schwerpunkte an: Am wichtigsten ist eine nochmalige Verbesserung des Wirkungsgrads, die Ergebnisse aus den Simulationen lassen hier durchaus Potenzial erwarten. Aufgrund der Leistungsfähigkeit sollte das Diodenelement für Schaltkreise mit Versorgungsspannungen deutlich unter $2,5$ V verwendbar sein. Des Weiteren ist eine Vergrößerung der maximal nutzbaren Taktrate interessant, um das Diodenelement im Bereich der Leistungstreiber verwenden zu können. Dies würde z. B. den Einsatz als *Pad*-Treiber erlauben, um off-chip Verbindungen als hochkapazitive Lasten zu treiben. Als letztes ist die Frage nach einer Reduzierung der Transistorzahl von Interesse, die jetzige Transistorzahl ist besonders im Vergleich zu *CMOS*-Gattern groß. Durch einen kompakten Aufbau als Zusatzstufe zu normalen *CMOS*-Gattern ist der Einsatz als on-chip Leitungstreiber für Schaltkreise mit mittleren Taktraten vorstellbar.

Neben den sich aus der Schaltungstechnik ergebenden Möglichkeiten zur Optimierung gibt es auch aus technologischer Sicht vorstellbare Verbesserungen. Eine erhebliche Optimierungsmöglichkeit ist z. B. durch den Einsatz von reinen Germaniumtransistoren gegeben, da hier die Flussspannung der Basis-Emitterdiode deutlich geringer ausfallen, entsprechend sollten sich die Verluste in den Basisnetzen als einem der Hauptverlustleistungsbringer verringern. Die *biQSERL*-Stufen profitieren beispielsweise auch stark von Verbesserungen der Übertragungsleitwerte der *MOSFET*s, da dies kleinere Kanalweiten ermöglicht und damit die kapazitiven Zusatzlasten verringert.

Alles in allem konnte schon mit der Konzipierung des Diodenelements eine Struktur vorgestellt werden, die selbst auf einem mit für heutige Maßstäbe begrenzten Bauteileeigenschaften ausgestatteten Prozess überzeugende Ergebnisse liefert.

Literaturverzeichnis

[1] Association, Semiconductor I.: The international Technology Roadmap for Semiconductors: 2003 edition / SIA. Austin, TX:International SEMATECH, 2003. – Forschungsbericht. Process integration, devices, and structures

[2] Athas, W. C. ; Svensson, L. J. ; Koller, J. G. ; Tzartzanis, N. ; Chou, E. Y.-C.: Low-Power Digital Systems Based on Adiabatic-Switching Principles. In: *IEEE Transactions on Very Large Scale Integration* 2 (1994), Oktober, Nr. 4, S. 398 – 407

[3] Athas, William C. ; Tzartzanis, Nestoras ; Svensson, Lars J. ; Peterson:, Lena: A Low-Power Microprocessor Based on Resonant Energy. In: *IEEE Journal of Solid-State Circuits* 32 (1997), November, Nr. 11

[4] Bennett, C. H.: Logical reversibility of computation. In: *IBM Journal of Research and Development* 17 (1973), S. 525 – 532

[5] Clausert, H. ; Wiesemann, G.: *Grundlagen der Elektrotechnik*. Bd. 2. 6. Oldenbourg, 1993

[6] Corporation, MicroSim: *PSpice Reference Manual*. 8. MicroSim Corp., 1997

[7] De, Vivek K. ; Meindl, James D.: Complementary adiabatic and fully adiabatic MOS logic families for gigascale integration. In: *Solid-State Circuits Conference, 1996. Digest of Technical Papers. 43rd ISSCC., 1996 IEEE International*, 1996, S. 298 –299

[8] Denker, John S. ; Avery, Stephen C. ; Dickinson, Alex. G. ; Kramer, Alan ; Wik, Thomas R.: Adiabatic computing with the 2N-2N2D logic family. In: *IWLPD'94 Workshop proceedings*, 1994

[9] Dickinson, A.G. ; Denker, J. S.: Adiabatic dynamic logic. In: *Custom Integrated Circuits Conference, Proc. of*, 1994, S. 282–285

[10] Glesner, Manfred ; Murgan, Tudor: *Skript zur Vorlesung Elektronik*. TU Darmstadt, FG MES, 2004

[11] Gummel, H. K. ; Poon, H.C.: An integrated charge control model of bipolar transistors. In: *Bell Systems Technical Journal* 49 (1970), may, S. 827–852

[12] KIM, Suhwan ; PAPAEFTHYMIOU, M.C.: Single-phase source-coupled adiabatic logic. In: *International Symposium on Low Power Electronics and Design.* Monterey, CA, August 1999

[13] KIM, Suhwan ; PAPAEFTHYMIOU, M.C.: True single-phase adiabatic circuitry. In: *IEEE Transactions on Very Large Scale Integration* (2001), Februar

[14] LANDAUER, R.: Irreversibility and Heat Generation in the Computing Process. In: *IBM Journal* (1967), Juli, S. 183–191

[15] LANDAUER, R.: Minimal energy requirements in communication. In: *Science* 272 (1996), S. 1914 – 1918

[16] LIM, Joonho ; KWON, Kipaek ; CHAE, Soo-Ik: Reversible Energy Recovery Logic circuit without non-adiabatic energy loss. In: *eleclet*, 1998, S. 344–346

[17] LIM, Joonho ; KWON, Kipaek ; CHAE, Soo-Ik: NMOS reversible energy recovery logic for ultra-low-energy applications. In: *IEEE Journal of Solid-State Circuits* 35 (2000), Juni, Nr. 6, S. 865 –875

[18] LUDYK, G.: *Theoretische Regelungstechnik.* Bd. 2. Springer Verlag, 1990

[19] LYUBOSLAVSKY, Victor ; BISHOP, Benjamin ; NARAYANAN, Vijaykrishnan ; IRWIN, Mary J.: Design of databus charge recovery mechanism. In: *IEEE*, 2000, S. 283–287

[20] MAGEN, Nir ; KOLODNY, Avinoam ; WEISER, Uri ; SHAMIR, Nachum: Interconnect-Power Dissipation in a Microprocessor. In: *Proc. of SLIP'04*, 2004

[21] MAKSIMOVIC, Dragan ; OKLOBDZIJA, Vojin G. ; NIKOLIC, Borivoje ; CURRENT, K. W.: Clocked CMOS Adiabatic Logic with Integrated Single-Phase Power-Clock Supply: Experimental Results. In: *International Symposium on Low Power Electronics and Design.* Monterey, CA, August 1997

[22] MAKSIMOVIC, Dragan ; OKLOBDZIJA, Vojin G. ; NIKOLIC, Borivoje ; CURRENT, K. W.: Clocked CMOS Adiabatic Logic with Integrated Single-Phase Power-Clock Supply. In: *IEEE Transactions on Very Large Scale Integration* (2000), August

[23] MATEO, Diego ; RUBIO, Antonio: Design and Implementation of a 5x5 trits Multiplier in a Quasi-Adiabatic Ternary CMOS Logic. In: *IEEE Journal of Solid-State Circuits* 3 (1998), Juli, Nr. 7, S. 1111–1116

[24] MII, Y. ; RISHTON, S. ; TAUR, Y. ; KERN, D. ; LII, T. ; LEE, K. ; JENKINS, K.A. ; QUINLAN, D. ; BROWN, T. ; DANNER, D. ; SEWELL, F. ; POLCARI, M.: Experimental High Performance Sub-0.1μm Channel nMOSFET's. In: *IEEE Electron Device Letters* 15 (1994), Januar, Nr. 1, S. 28 – 30

[25] MOON, Yong ; JEONG, Deog-Kyoon: Efficient Charge Recovery Logic. In: *Symposium on VLSI Circuits*, 1995

[26] PAUL, Steffen ; SCHLAFFER, Andreas M. ; NOSSEK, Josef A.: Optimal Charging of Capacitors. In: *IEEE Transactions on Circuits and Systems I* 47 (2000), Juli, Nr. 7, S. 1009–1016

[27] PLENIO, M. B. ; VITELLI, V.: The physics of forgetting: Landauer's erasure principle and information theory. In: *Contemporary Physics* 42 (2001), Januar, Nr. 1, S. 25–60

[28] REISCH, Michael: *High-Frequency Bipolar Transistors.* Springer Verlag, 2003

[29] SCHLACHTA, Clemens: Entwurf eines integrierten Schaltkreises zur Untersuchung verlustleistungsreduzierter Logik. In: *Diplomarbeit, TU Darmstadt* (2000)

[30] SCHLACHTA, Clemens ; VOSS, Burkard ; GLESNER, Manfred: A Low-Power Line Driver Using Resonant Charging. In: *Proc. of Design, Automation and Test Europe Conference (DATE)*, 2002

[31] SMITH, Michael John S.: *Application Specific Integrated Circuits.* Addison-Wesley Verlag, 1997

[32] SÁNCHEZ-SINENCIO, Edgar (Hrsg.) ; ANDREOU, Andreas G. (Hrsg.): *Low-Voltage/ Low-Power Integrated Circuits and Systems.* IEEE Press, 1999

[33] SYSTEMS, Austria M.: *0.35μm HBT BiCMOS Process Parameters.* Austria Micro Systems, 2003

[34] TIETZE, Ulrich ; SCHENK, Christoph: *Halbleiterschaltungstechnik.* 11. Springer Verlag,, 1999

[35] TZARTZANIS, N. ; ATHAS, W.C.: Clock-powered CMOS: a hybrid adiabatic logic style for energy-efficient computing. In: *Proceedings of the Conference on Advanced Research in VLSI*, 1999, S. 137 – 143

[36] VARGA, Lásló ; KOVÁCS, Ference ; HOSSZÚ, Gábor: An improved pass-gate adiabatic logic. In: *IEEE*, 2001, S. 208–211

[37] VOSS, Burkard: *Einsatzmöglichkeiten resonanten Umladens als Schaltungstechnik zur Verlustleistungsreduktion in digitalen CMOS-Schaltungen*, TU Darmstadt, Diss., 2000

[38] WANG, W. Y. ; LAU, K. T.: Adiabatic pseudo-domino logic. In: *eleclet* 31 (1995), November, Nr. 23, S. 1982–83

[39] WESTE, Neil H. E. ; ESHRAGHIAN, Kamran: *Principles of CMOS VLSI Design - A System Perspective.* Addison-Wesley Publishing Company, 1993

[40] YE, Yibin ; ROY, Kaushik: Energy Recovery Circuits Using Reversible and Partially Reversible Logic. In: *IEEE Transactions on Circuits and Systems I* 43 (1996), September, Nr. 9, S. 769 – 778

[41] YE, Yibin ; ROY, Kaushik: QSERL: Quasi-Static Energy Recovery Logic. In: *IEEE Journal of Solid-State Circuits* 36 (2001), Februar, Nr. 2, S. 239–248

[42] YOELI, M. ; ROSENFELD, G.: Logical design of ternary-switching circuits. In: *IEEE Transactions of electronic computers* 14 (1965), Februar, S. 19–29

Abbildungsverzeichnis

1.1 ITRS-Roadmap 2003: Schaltzeiten und Leckströme 7

2.1 Landauers Gedankenexperiment 12
2.2 Löschen der Information 13
2.3 Erweitertes Gedankenexperiment 14
2.4 CMOS-Prinzip 15
2.5 Einfaches Ersatzschaltbild eines *CMOS*-Inverters 16
2.6 Abruptes Umladen: Wirkungsgrad 17
2.7 Allgemeines verlustbehaftetes Laden einer kapazitiven Last 18
2.8 Spannungsverlauf für optimales Laden 19
2.9 Wirkungsgradkennlinie für einen Ladevorgang mit Vielfachem der *RC*-Zeitkonstanten 20
2.10 Besser für die Quelle zu realisierender Spannungsverlauf 21
2.11 Wirkungsgrad für das Laden mit rampenförmigen Spannungsverlauf 22
2.12 Wirkungsgrad für das Laden mit rampenförmigen Spannungsverlauf 23
2.13 Inverterkette aus *Pass-Gates* 28
2.14 Ersatzschaltbild der Inverterkette 29
2.15 Entwicklung des Übertragungsleitwerts [24] 30

3.1 Umladeproblematik 34
3.2 Wahrheitstabelle und Symbol eines *Fredkin*-Gatters 36
3.3 Wahrheitstabelle und Symbol eines *Toffoli*-Gatters 37
3.4 Berechnungsanfang der retraktilen Kaskade 37
3.5 Schrittweises Auswerten der retraktilen Kaskade 38
3.6 Auffangen des Ergebnisses der retraktilen Kaskade 38
3.7 Beginn der Rückstellphase der der retraktilen Kaskade 39
3.8 Ladungswiedergewinnung in der retraktilen Kaskade 39

3.9 Erreichen des Grundzustands der retraktilen Kaskade 39
3.10 Inverter in *2N2P* Logic 41
3.11 Simulation eines *2N2P*-Inverters 42
3.12 Inverter in *TSEL*-Logik 43
3.13 Vergleich des Wirkungsgrads von *TSEL*-Logic mit anderen Logikfamilien . 44
3.14 Inverter in *IGPL*-Logik 44
3.15 Inverter in *2N-2N2D*-Logik 45
3.16 Inverter in Adiabatic Dynamic Logic (*ADL*) 45
3.17 Grundelement der Logikfamilie *CAL* 46
3.18 Inverter (NMOS) in *SCAL*-Logik 47
3.19 Inverter (PMOS) in *SCAL*-Logik 47
3.20 Inverter in *APDL*-Logik 47
3.21 Inverter in *Clock-powered CMOS* 48
3.22 Grundstruktur eines Gatters in *Dual-Rail Logic* 49
3.23 Kaskade in *Dual-Rail Logic* 50
3.24 *Ripple-Carry* Addierers in *Dual-Rail Logic* 51
3.25 Vergleich zwischen *RERL*, *Dual-Rail Logic* („Athas“) und *CMOS* 52
3.26 Vergleich der Leistungsaufnahme verschiedener Logikfamilien 53
3.27 Mehrere Logikstufen in *QSERL* [41] 54
3.28 Simulationsergebnisse einer *QSERL*-Inverterkette [41] 55
3.29 Zwei Gatterstufen in *CAMOS*; die Dioden werden durch *MOSFET*s realisiert. 55
3.30 Wirkungsgradvergleich für *CAMOS* gegenüber *CMOS* 56
3.31 3*3 Multiplizierer in dreiwertiger Logik 56
3.32 Mehrwertige Logik: Aufbau eines Inverters und Zyklus 57
3.33 Schaltung für mehrstufiges Umladen mit $n = 4$ 59
3.34 Schaltung des *Blip*-Oszillators 60
3.35 Simulierte Spannungsverläufe für einen *Blip*-Oszillator 61
3.36 Einfacher steuerbarer LC-Oszillator 61
3.37 Resonantes Umladen mit Schwellwertschaltern 62

4.1 Prinzipstruktur eines dynamischen adiabatischen Gatters 66
4.2 Prinzipielle Spannungsverläufe in einem Gatter in dynamischer adiabatischer Logik 67
4.3 Maximaler theoretischer Wirkungsgrad 68

4.4 Prognostizierte Entwicklung der Versorgungsspannung 68

4.5 Flussspannungen der Kollektor-Emitterstrecke eines *npn*-Bipolartransistors. Die obere Kurve stellt die Kollektor-Emitterspannung des Transistors für einen Basisstrom von 10% des Kollektor-Emitterstroms dar, die mittlere Kurve die gleiche Spannung für einem Basisstrom von 33% des K-E-Stroms und die untere Kurve ebenfalls die K-E-Spannung für einen Basisstrom gleich dem K-E-Strom. 69

4.6 Prinzipielle Schaltung für das bipolartransistor-basierte Diodenlement . . . 71

4.7 Schaltplan einer um das Diodenelement erweiterten Gatters in dynamischer adiabatischer Logik 72

4.8 Ersatzschaltbild für das dynamische Verhalten während des Entladevorgangs 73

4.9 Simulation der Flussspannung für einen Kollektorstrom von $100\mu A$ als Funktion des Basisstroms und der Umladedauer 74

4.10 Simulierte Spannungs- und Stromverläufe im Diodenelement 75

4.11 Das Diodenelement im Sperrbetrieb 76

4.12 Zurückgewonnene Energie vom Lastkondensator 76

4.13 Zurückgewonnene Energie vom Basiskondensator 77

4.14 Ersatzschaltbild eines *npn*-Bipolartransistors als *Transportmodell* 77

5.1 Erweitertes Diodenelement für Gegentaktbetrieb 82

5.2 Prinzipielle Struktur der Logikfamilie *fs-CAMOS* [7] 83

5.3 Prinzipielle Struktur der Logikfamilie *QSERL* [41] 84

5.4 Schaltplan einer *biQSERL*-Stufe 85

5.5 Prinzipieller Verlauf des Vierphasentakts 86

5.6 Spannungsverläufe einer *biQSERL-Stufe*: A, In, $Q0$, Basen 87

5.7 Simulationsschaltplan einer biQSERL-Stufe 88

5.8 Simulationsumgebung 89

5.9 Ströme und Spannung einer *biQSERL-Stufe* 90

5.10 *biQSERL-Stufe*: Phase A 92

5.11 Spannungen und Ströme in den Basisnetzen 93

5.12 Spannungen und Ströme in den Ausgangsnetzen 94

5.13 Erweiterter Schaltplan einer biQSERL-Stufe 96

5.14 Spannungen und Ströme der modifizierten Strukur 97

6.1 Ersatzmodell des Diodenelements eines Teils einer *biQSERL*-Stufe 100

6.2 Ladekurven eines reinen RC-Gliedes 102

6.3 Entladekurven eines reinen RC-Gliedes 103
6.4 Maximalspannungen in Abhängigkeit von T/τ 104
6.5 Minimalspannungen in Abhängigkeit von T/τ 105
6.6 Abhängigkeit des maximalen Wirkungsgrads vom RC-zu-ω-Verhältnis sowie der absoluten Spannungsdifferenz 106
6.7 Erreichbarer Wirkungsgrad als Funktion der Kanalweite des *Pass-Gates* . . 107
6.8 Maximaler theoretischer Wirkungsgrad für die erweiterte Struktur 108

7.1 Simulationsschaltung für die Wirkungsgradmessung 113
7.2 Schaltplan der Sinusquelle für ein Phasenpaar 114
7.3 Flussspannungsverluste als Funktion der Kanalweite 115
7.4 Normierte nachgespeiste Leistung für die Ausgangsnetze 115
7.5 Normierte Leistungsaufnahme des Basisnetzes 116
7.6 Normierter Wirkleistungsumsatz als Funktion der Kanalweite 116
7.7 Systemwirkungsgrad als Funktion der Lastkapazität und der Frequenz . . . 117
7.8 Anteil der Phase $A-$ an den gesamten Verlusten 118
7.9 Anteil der Basisnachladeschaltung an den gesamten Verlusten 119
7.10 Systemwirkungsgrad der erweitertern Struktur 119

8.1 Foto des Chips 121
8.2 Layout des *ASIC*s 127
8.3 Spannungsverläufe für drei aufeinanderfolgende Stufen der Dominologik . . 128
8.4 Schaltplan eines Inverters in adiabatischer Dominologik 129
8.5 Layout eines Inverters in adiabatischer Dominologik 130
8.6 Domino-Logik: Oszilloskopbild 131
8.7 Domino-Logik: Oszilloskopbild II 131
8.8 Domino-Logik: Phase $C+$ und Strom der Phase $C+$ 132
8.9 Layout eines *biQSERL*-Inverters 133
8.10 Versuchsplatine für den *ASIC* 134
8.11 Signalgenerator 135
8.12 Flussspannung des *npn*-Transistors 136
8.13 Schnitt durch einen vertikalen *npn*-Transistor 136
8.14 Verstärkung des vertikalen *npn*-Transistors als Funktion von Frequenz und Kollektorstromhub 137
8.15 Schnitt durch einen lateralen *pnp*-Transistor 137

8.16 Verstärkung des lateralen *pnp*-Transistors als Funktion von Frequenz und Kollektorstromhub 138
8.17 Kanalstrom eines *nMOSFETs* mit $l = 0,35\,\mu$m und $w = 1\,\mu$m 139
8.18 Kanalstrom eines *pMOSFETs* mit $l = 0,35\,\mu$m und $w = 1\,\mu$m 140
8.19 Übertragungssteilheit K_n eines *nMOSFET*s 141
8.20 *Gate*-Ladung der *nMOSFET*s 141
8.21 Intrinsische Schaltzeit der *MOSFET*s 142
8.22 Kanalleitwert eines *Pass-Gates* 143
8.23 Spannungsdifferenz über ein *Pass-Gate* in einer Inverterkette 144

9.1 Beispiel für die Verteilung der Netzanzahl über die Netzlänge 145
9.2 Simulationsschaltung für den Einfluss der Schwellspannungen 146
9.3 Layout einer Ausgangstreiberstufe 148
9.4 Entwurfsablauf für einen Standardentwurf 152
9.5 Erweiterter Entwurfsablauf Einbindung von *biQSERL*-Treibern 153

Lebenslauf

Zur Person:

Geburtsdatum:	13. November 1972
Geburtsort:	Wiesbaden
Staatsangehörigkeit:	deutsch
Familienstand:	ledig

Ausbildung:

1979 bis 1983	Brüder-Grimm-Schule, Darmstadt
1983 bis 1992	Ludwigs-Georgs-Gymnasium Darmstadt Abschluss: Allgemeine Hochschulreife
1992 bis 1993	Zivildienst beim Deutschen Roten Kreuz, Dienststelle Darmstadt
1993 bis 2000	Studium der Elektrotechnik an der Technischen Universität Darmstadt, Studienschwerpunkt Datentechnik Abschluss: Diplomingenieur
Nov. 2000 bis Juli 2004	Wissenschaftlicher Mitarbeiter am FG Mikroelektronische Systeme der Technischen Universität Darmstadt
Aug. 2004 bis April 2006	Doktorand am FG Mikroelektronische Systeme der Technischen Universität Darmstadt
seit Mai 2006	Freier Mitarbeiter der Fa. MCT, Darmstadt